

SUPER NINTENDO ENTERTAINMENT SYSTEM

PAL SNSP-CPU-01 / SNSP-CPU-02

Максимально подробная методика проверки S-CPU (5A22)

От питания и reset до чтения reset-вектора, выполнения ROM-кода, обращения к WRAM, PPU, APU и контроллерам

Для мультиметра, обычного логического анализатора и UNI-T MSO5000HD: 4 аналоговых + до 16 цифровых каналов

Основано на приложенной PAL-схеме Rev. 0.8 и перекрёстной проверке по распиновке S-CPU и Nintendo SNES Development Manual.

Как пользоваться этим руководством

Главный принцип

Не переходить к анализу шины, пока не подтверждены питание, master clock и вся цепочка reset. Наличие активности на адресной шине само по себе не доказывает исправность CPU. Доказательства нарастают по ступеням: reset-вектор -> выборка команд -> обращения к WRAM -> записи в PPU/APU -> главный цикл и опрос контроллеров.

- 1 Питание**
U12 7805, +5 В на всех выводах питания U1
- 2 Clock**
U18 XOUT -> U1 XIN, U2 XIN, U3 XIN
- 3 Reset**
U8 /RESET -> U3 -> /RESOUT1 и /RESOUT0
- 4 Reset-вектор**
U1 /VP + /CPURD + /ROMSEL + адрес FFFC/FFFD
- 5 Выполнение ROM**
VPA, последовательные чтения, SYSCK, данные
- 6 Инициализация**
/RAMSEL, /PAWR, PPU, APU, контроллеры
- 7 Локализация**
CPU или внешняя шина / WRAM / PPU / видеотракт

Обозначения

Обозначение	Смысл
/SIGNAL	Активный низкий уровень. Событие происходит, когда сигнал около 0 В.
U1-n	Микросхема U1, вывод n. Например, U1-50 - reset S-CPU.
P1-n	Картриджный разъём P1, контакт n по электрической схеме.
P2-n	Внутренний 11-контактный разъём передней панели / контроллеров.
CA0...CA23	24-разрядная адресная A-bus S-CPU.
PA0...PA7	Адрес B-bus, выбирающий регистры PPU/APU/WRAM I/O.
D0...D7	Общая 8-разрядная шина данных.

Ограничение метода

Эта методика позволяет определить, стартует ли CPU и насколько далеко он проходит инициализацию. Она не гарантирует исправность каждого opcode, внутреннего умножителя/делителя, всех DMA-каналов или каждой линии адреса. Для окончательного функционального заключения нужен диагностический ROM с наблюдаемой сигнатурой.

1. Область применимости и подготовка платы

Руководство составлено для PAL-лат SNSP-CPU-01 и SNSP-CPU-02 с отдельными микросхемами S-CPU (5A22), S-PPU1 (5C77) и S-PPU2 (5C78). На других ревизиях обозначения и номера выводов могут отличаться. Перед измерением прочитайте маркировку платы и микросхем.

Перед подключением щупов

Сделайте фотографии платы сверху и снизу. Найдите метку вывода 1 на U1/U2/U3. Прозвоните выбранную точку до контакта разъёма, если есть сомнения в ориентации. Не ориентируйтесь только по «левой» или «правой» стороне фотографии.

Необходимое оборудование

- Мультиметр с режимами сопротивления, diode test, DC и AC millivolts.
- Осциллограф UNI-T MSO5000HD, четыре пассивных щупа x10. Для цифровых входов - штатный 16-канальный пробник, если он имеется.
- Логический анализатор: желательно 32 канала для одновременного адреса, данных и управляющих линий; 16 каналов пригодны для двух последовательных захватов.
- Известно исправный PAL-картридж без дополнительного сопроцессора. Для начальной диагностики лучше простая LoROM-игра.
- Микрокрючки или тонкие grabber-зажимы. Не держать обычный острый щуп на соседних выводах QFP.
- Изолированный штатный блок питания. Лабораторный БП использовать только при понимании участка, куда подаётся напряжение.

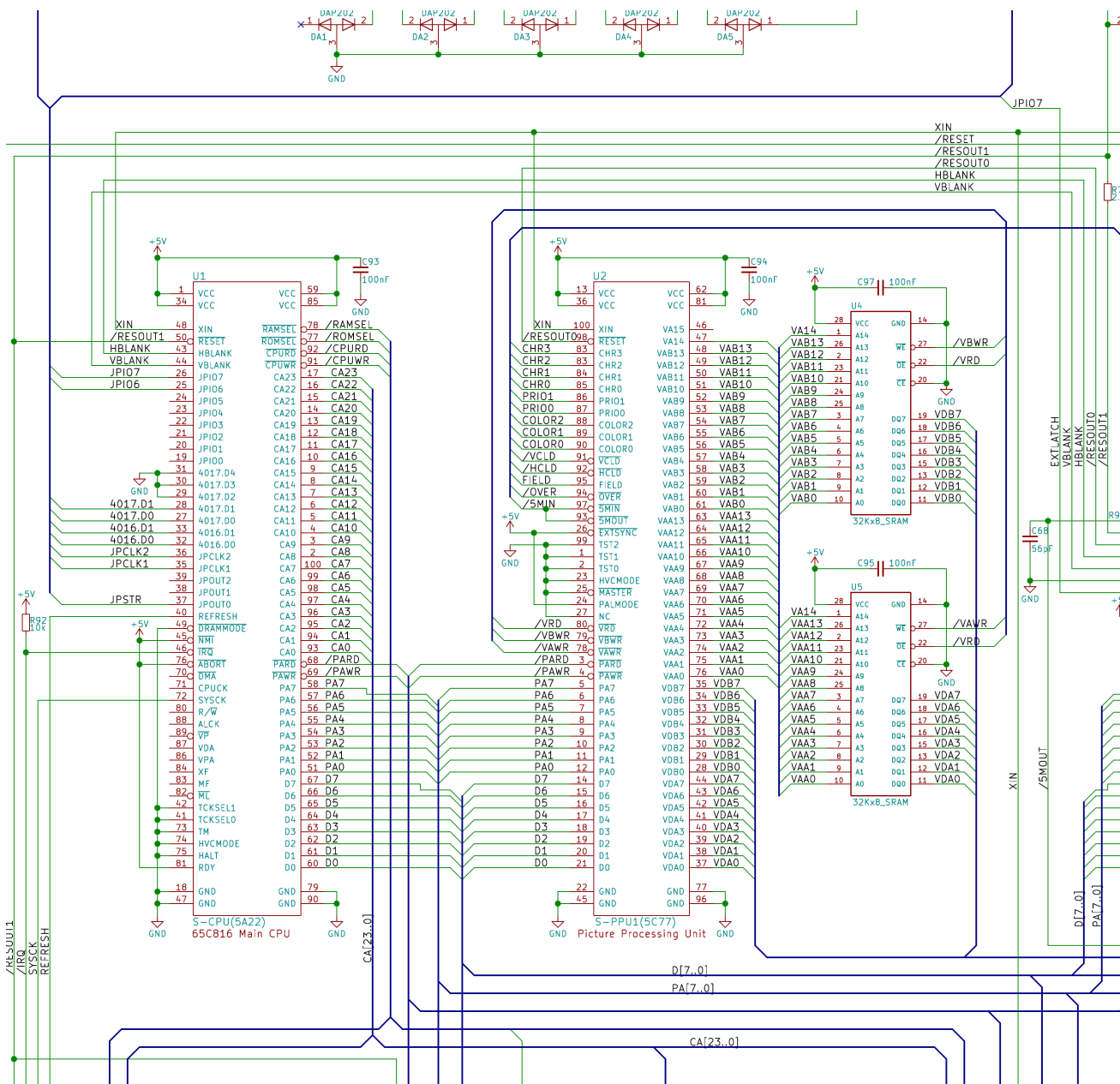
Электробезопасность и земля осциллографа

Критически важно

Земля всех BNC-входов MSO5000HD соединена между собой и с защитным PE. Подключать ground clips разрешено только к цифровой земле платы: U12 GND, P1-5, P1-36 или выводам GND микросхем. Никогда не подключать землю осциллографа к входу моста DB1, к линии AC или к «плюсу» выпрямителя.

Настройка MSO5000HD	Рекомендуемое значение
Вход	1 МΩ. Режим 50 Ω выключен.
Щуп	x10 на щупе и в меню канала.
Связь	DC для логики и clocks; AC только для отдельного измерения ripple.
Вертикаль логики	1 V/div или 2 V/div; центр около 2,5 В.
Bandwidth	Полная полоса либо ограничение 100/200 МГц для clocks; 20 МГц для ripple.
Sample rate	Не ниже 200 MSa/s для 21 МГц; предпочтительно 500 MSa/s или выше.
Логический порог	Около 2,5 В для 5-вольтовой логики.
Режим	Single для power-on/reset; Normal/Auto для периодических clocks.

2. Карта основных контрольных точек



Фрагмент исходной схемы: U1 S-CPU и U2 S-PPU1. Для диагностики CPU особенно важны U1-48, 50, 72, 77, 78, 86, 87, 89, 91, 92, 68 и 69.

Основные сигналы S-CPU U1

Сигнал	U1 вывод	Назначение	Ожидается
VCC	1, 34, 59, 85	вход питания	+5 В постоянно
GND	18, 47, 79, 90	земля	0 В
XIN	48	master clock вход	21,28137 МГц PAL
/RESET	50	reset вход от U3 /RESOUT1	0 В в reset, затем высокий
SYSCK	72	clock текущего memory access	пакеты /6, /8 или /12 от master
VPA	86	valid program address	импульсы при выборке программы
VDA	87	valid data address	импульсы на data-access cycles
/VP	89	vector pull	низкий на чтении reset/NMI/IRQ vectors
/CPUWR	91	A-bus write strobe	активные низкие импульсы
/CPURD	92	A-bus read strobe	активные низкие импульсы

Сигнал	U1 вывод	Назначение	Ожидается
/ROMSEL	77	выбор ROM картриджа	низкий на обращениях к ROM
/RAMSEL	78	выбор WRAM	низкий при обращении к WRAM
/PARD	68	B-bus read strobe	низкие импульсы при чтении PPU/APU/I/O
/PAWR	69	B-bus write strobe	низкие импульсы при записи PPU/APU/I/O
HBLANK	43	от S-PPU2	период около 15,625 кГц
VBLANK	44	от S-PPU2	период кадров около 50 Гц
JPI06 / JPI07	25 / 26	регистр \$4201/\$4213	можно использовать как test signature
JPCLK1 / JPCLK2	35 / 36	clock контроллеров	серии импульсов при опросе
JPOUT0	37	strobe контроллеров	latch-импульс при опросе

3. Этап 0 - проверки без питания

Цель этапа - исключить короткое замыкание, плохой разъём, сломанную пайку и внешнюю нагрузку на шинах до подачи питания.

Последовательность

- Снять картридж. Осмотреть P1, очистить контакты, проверить погнутые ламели.
- Осмотреть U1/U2/U3 и U6. Особое внимание: коррозия, флюс между выводами, трещины пайки, следы предыдущей замены CPU.
- Проверить +5 В - GND. Измерять между P1-27 или P1-58 и P1-5/36. Значение не обязано быть одинаковым на разных платах: важно отсутствие почти нулевого устойчивого сопротивления. Конденсаторы могут заряжаться, поэтому показание часто растёт.
- Проверить линии на жёсткое замыкание. CA0...CA23, D0...D7, /ROMSEL, /CPURD, /CPUWR, /RAMSEL, /PARD и /PAWR не должны иметь единицы Ом до GND или +5 В. Сравнение с исправной платой предпочтительнее абсолютного порога.
- Проверить непрерывность. При подозрении на конкретную линию прозвонить U1 до P1 или U6/U2/U3 согласно таблицам ниже.

Не делайте вывод по одному сопротивлению

Внутренние защитные диоды ASIC дают разные показания в зависимости от полярности мультиметра. Ищите грубое отличие между соседними линиями одной шины или сравнивайте с заведомо исправной PAL-платой той же ревизии.

Удобные точки картриджного разъёма P1

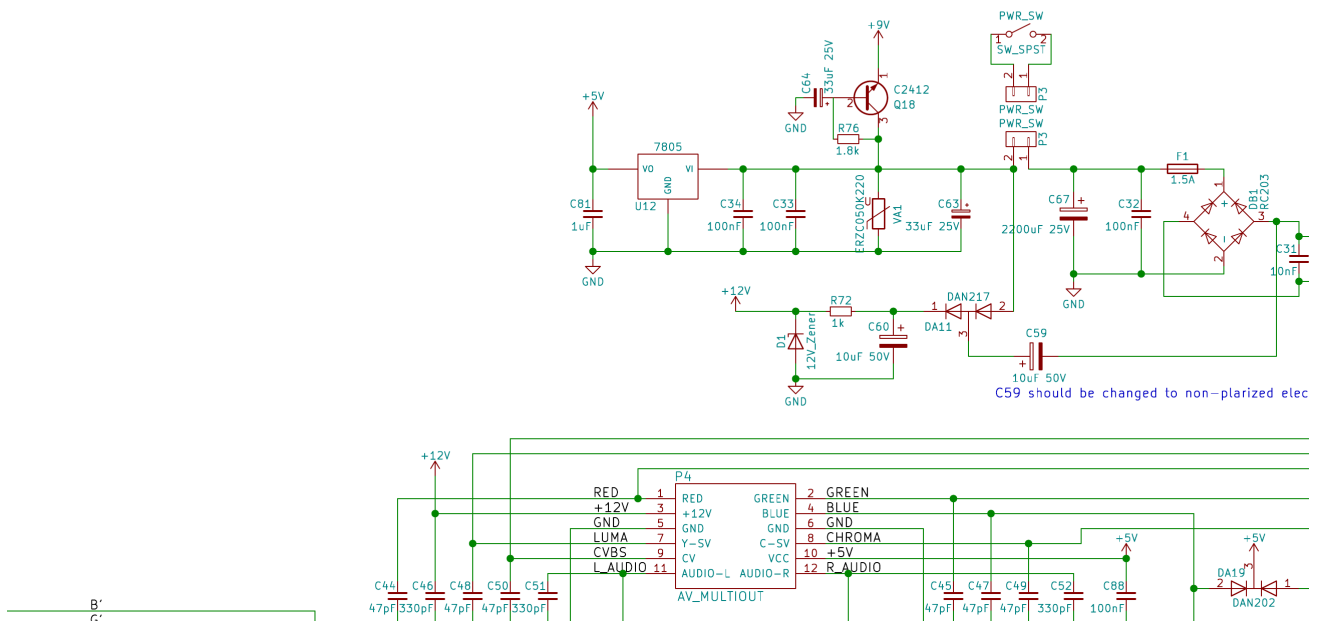
Сигнал	P1 контакты в порядке возрастания битов
GND	5, 36
+5 V	27, 58
MCK / XIN	1
/PARD	4
/PAWR	35
A0...A11	17, 16, 15, 14, 13, 12, 11, 10, 9, 8, 7, 6
A12...A15	37, 38, 39, 40
A16...A23	41, 42, 43, 44, 45, 46, 47, 48
D0...D3	19, 20, 21, 22
D4...D7	50, 51, 52, 53
/CPURD	23
/CPUWR	54
/ROMSEL	49
/RAMSEL	32
/RESOUT1	26

Сигнал	P1 контакты в порядке возрастания битов
SYSCK	57
/IRQ	18

Ориентация P1

Нумерация приведена по электрической схеме. Перед массовым подключением проводов сначала мультиметром подтвердите P1-5/P1-36 как GND и P1-27/P1-58 как +5 В. Это защищает от зеркального подключения при перевороте платы.

4. Этап 1 - питание



Источник +5 В: мост DB1, фильтр, стабилизатор U12 7805. Измерять цифровую часть относительно GND после моста.

Шаг	Точка	Прибор / режим	Ожидаемый результат	Если неверно
1	После DB1, вход U12 7805	DMM DC	Напряжение выше 5 В с запасом для 7805; зависит от БП и нагрузки.	БП, F1, выключатель, DB1, C67.
2	U12 V0 / шина +5 В	DMM DC	Практически 4,9...5,1 В; допустимый TTL-диапазон обычно 4,75...5,25 В.	U12, перегрузка, короткое, плохая фильтрация.
3	U1-1,34,59,85	DMM DC	Все точки почти одинаковы и близки к +5 В.	Обрыв дорожки, пайка, локальный шорт.
4	U1-18,47,79,90	DMM	0 В относительно общей земли.	Обрыв земли / ошибка точки отсчёта.
5	+5 В на U1	Scope, AC, 20 МГц limit	Желательно менее 50...100 mVpp ripple без провалов при reset.	C81/C34/C33, U12, нагрузка, ASIC short.

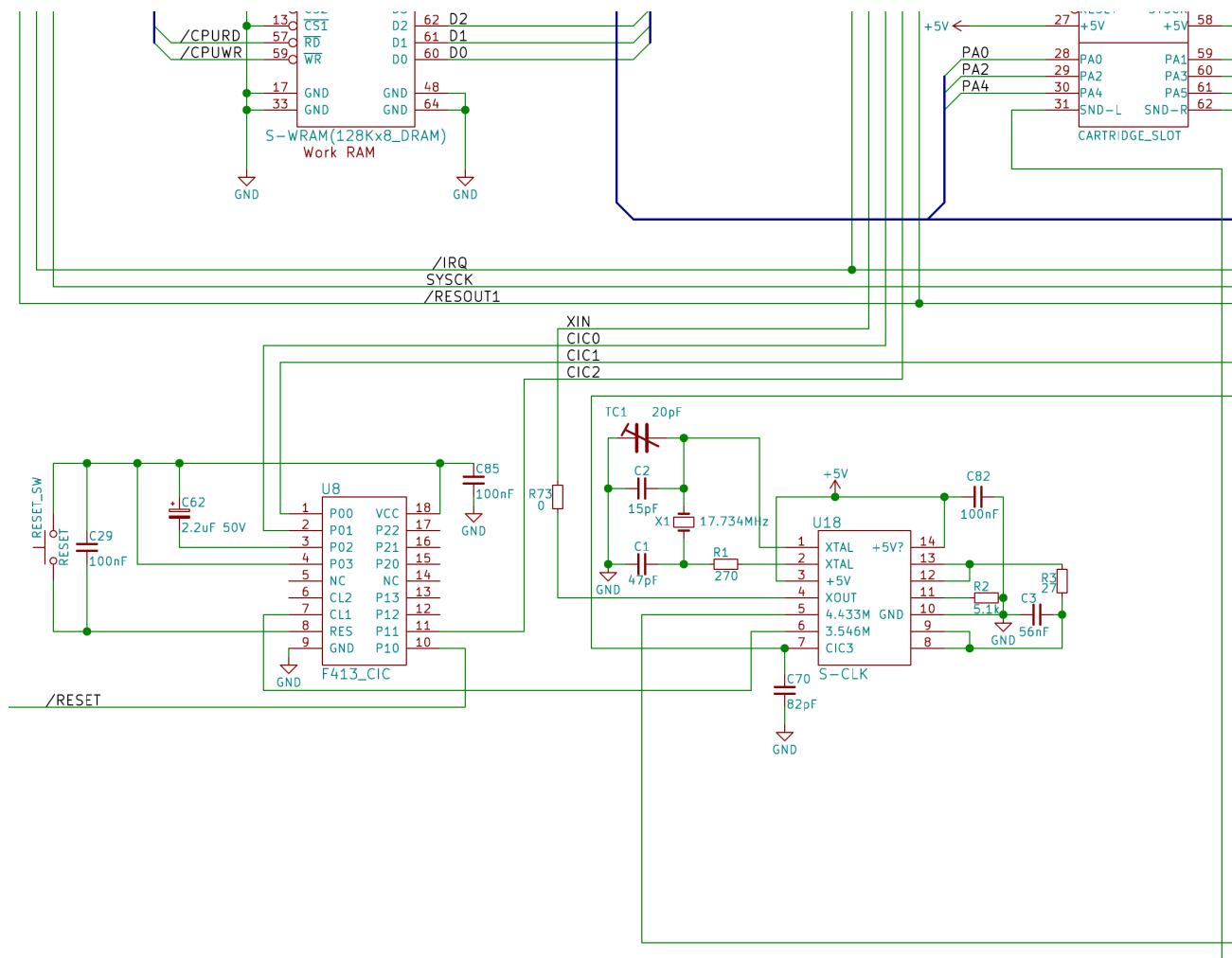
Четырёхканальный профиль MSO PWR-1

Канал	Точка	Назначение	Настройка
CH1	U12 V0 / +5 В	Питание	DC, 1 В/div; затем AC, 20 mV/div для ripple
CH2	U18-4 XOUT	Master clock	DC, 1 В/div, 20 ns/div
CH3	U1-50 /RESET	Reset CPU	DC, 1 В/div
CH4	U1-72 SYSCK	Работа CPU	DC, 1 В/div
Trigger	CH3 rising, 2,5 В	Power-on / release reset	Single, сначала 10 ms/div

Стоп-условие

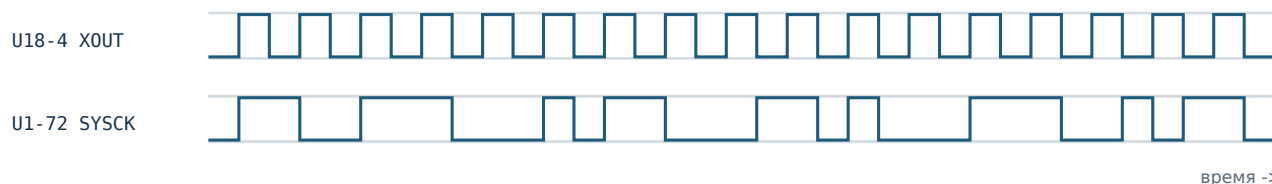
Если +5 В ниже нормы, проваливается или U1 заметно перегревается за секунды, выключить питание и вернуться к поиску нагрузки. Продолжать анализ цифровых сигналов при плохом питании бессмысленно.

5. Этап 2 - генератор clock



U18 S-CLK и U8 CIC/reset. X1 17,734 МГц задаёт PAL-частоты; основной диагностический выход - U18-4 XOUT.

Точка	Назначение	Ожидаемый сигнал	Примечание
X1 / U18-1,2	Кварцевый контур	Около 17,734475 МГц, форма и амплитуда зависят от точки.	Не начинать с этой точки: шуп может сорвать генерацию.
U18-4 XOUT	Master clock	21,28137 МГц PAL, устойчивый период около 46,99 ns.	Главная контрольная точка.
U1-48 XIN	Clock S-CPU	То же, что U18-4.	Если есть на U18, но нет здесь - обрыв/нагрузка.
U2-100 XIN	Clock S-PPU1	21,28137 МГц.	Проверяет разводку clock.
U3-31 XIN	Clock S-PPU2	21,28137 МГц.	Без него reset-цепь и видео могут не работать.
P1-1 MCK	Clock картриджа	21,28137 МГц.	Удобнее вывода QFP.
U18-5	PAL color clock	Около 4,4336 МГц.	Вспомогательная проверка U18.
U18-6	CPU-scale clock	Около 3,5469 МГц.	Вспомогательная проверка U18.



Для master clock включить полную полосу или 100/200 МГц limit, sample rate 500 MSa/s или выше, 20 ns/div. Оценивайте частоту и наличие устойчивых фронтов, а не идеальную прямоугольность: форма заметно зависит от длины земли щупа.

Диагностический вывод

Если U18-4 отсутствует, а X1 генерирует, подозревать U18 и обвязку. Если U18-4 есть, но пропал только на U1-48, проверить дорожку и короткое на XIN CPU. Замена CPU на этом этапе ещё не обоснована.

6. Этап 3 - полная цепочка reset

Ключевая особенность платы

Кнопка/CIC формируют системный /RESET, который приходит на S-PPU2 U3-34. Затем именно U3 выдаёт /RESOUT1 с U3-28 на S-CPU U1-50 и картридж P1-26, а /RESOUT0 с U3-33 - на S-PPU1 U2-98. Поэтому отсутствие reset-release на CPU не всегда означает неисправный CPU.

Порядок	Сигнал и точка	Ожидается	Локализация при отказе
1	Кнопка RESET_SW, C29/C62	При нажатии изменение уровня, после отпускания восстановление.	Кнопка, конденсаторы, дорожки.
2	U8 F413 CIC, вывод 10 /RESET	Низкий в reset, затем высокий.	U8/CIC, картридж CIC, reset-цепь.
3	U3 S-PPU2, вывод 34 /RESET input	Повторяет U8-10.	Обрыв между U8 и U3.
4	U3-28 /RESOUT1	После reset становится высоким.	Если вход U3-34 исправен, подозревать U3/его clock/power.
5	U1-50 /RESET и P1-26	Повторяет U3-28.	Обрыв или внешняя нагрузка на /RESOUT1.
6	U3-33 /RESOUT0	После reset становится высоким.	U3 либо нагрузка линии.
7	U2-98 /RESET	Повторяет U3-33.	Обрыв или S-PPU1 удерживает линию.

Четырёхканальный профиль MSO RST-1

Канал	Точка	Что сравниваем
CH1	U8-10 /RESET	Исходный системный reset
CH2	U3-34 /RESET	Дошёл ли reset до S-PPU2
CH3	U3-28 /RESOUT1 = U1-50	Reset S-CPU
CH4	U3-33 /RESOUT0 = U2-98	Reset S-PPU1
Trigger	CH1 rising, Single	Захват 10...100 ms/div, затем приблизить фронты

/RESET U8-10

/RESOUT1 U3-28

/RESOUT0 U3-33

время ->

Точные задержки между фронтами не следует считать универсальной нормой. Важно, чтобы линии уверенно достигали логических уровней и не осциллировали. На работающей логике ожидаются примерно 0...0,5 В для LOW и около 4...5 В для HIGH.

Статические входы, способные остановить или нарушить CPU

U1 вывод	Сигнал	Нормально на этой плате	Комментарий
45	/NMI	HIGH	На схеме подтянут/соединён с +5 В как внешний вход.
46	/IRQ	HIGH в покое	Картридж/expansion могут тянуть LOW.
49	/DRAMMODE	LOW	На схеме GND.
73	TM	LOW	Test input, GND.
74	HVCMODE	LOW	GND.

U1 вывод	Сигнал	Нормально на этой плате	Комментарий
75	HALT	LOW	Так задано схемой данной ревизии.
76	/ABORT	HIGH	Соединён с +5 В.
81	RDY	HIGH	LOW может удерживать ядро в wait.

7. Этап 4 - первый признак жизни S-CPU

После подтверждения питания, U1-48 и U1-50 проверить выход U1-72 SYSCK. Это clock текущего memory access; длительность цикла может составлять 6, 8 или 12 master clocks:

Деление master	Частота при 21,28137 МГц	Период	Типичный смысл
/6	3,546895 МГц	≈282 ns	Fast / internal access
/8	2,660171 МГц	≈376 ns	Slow memory access
/12	1,773448 МГц	≈564 ns	XSlow I/O region

Четырёхканальный профиль MSO CPU-1

Канал	Точка	Ожидается
CH1	U1-50 /RESET	LOW -> HIGH
CH2	U1-48 XIN	21,28137 МГц постоянно
CH3	U1-72 SYSCK	Активность после release reset
CH4	U1-92 /CPURD	Низкие импульсы чтения
Trigger	CH1 rising	Single; 1 ms/div, затем 1 µs/div

Сильный признак неисправности CPU

U1-48 исправен, U1-50 уверенно HIGH, RDY HIGH, питание хорошее, но U1-72 SYSCK, U1-92 /CPURD и адресные линии полностью неподвижны. Перед заменой U1 всё равно проверить отсутствие внешнего замыкания на шинах и правильность статических входов.

Что считать активностью, а что нет

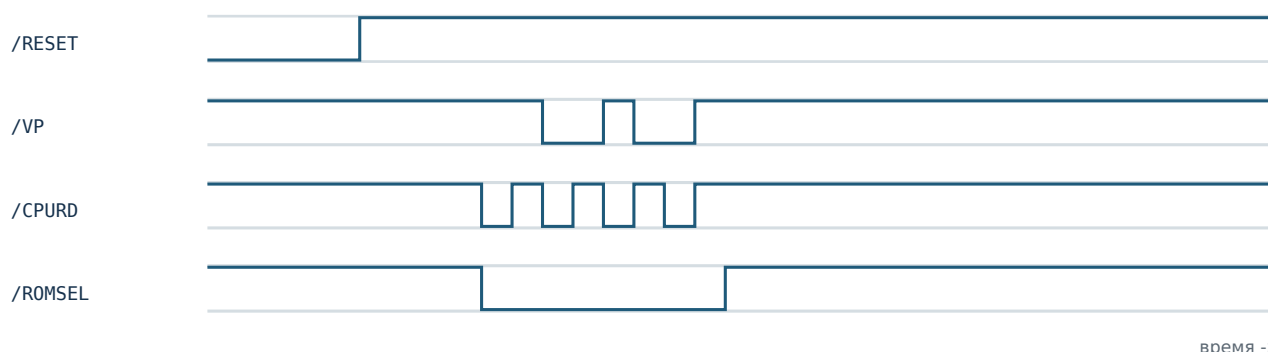
Наблюдение	Значение
SYSCK отсутствует до release reset, затем появляется	Нормальная реакция на reset.
SYSCK есть, /CPURD импульсный, адреса изменяются	CPU формирует memory cycles.
Один короткий пакет и полная остановка	CPU начал reset sequence, но не смог продолжить: ROM/data bus/vector/ядро.
Повторяющиеся одинаковые короткие пакеты	Периодический reset, watchdog-like loop либо повторный старт из-за питания/CIC.
Адреса изменяются, но /CPURD и /CPUWR неподвижны	Проверить правильность точки и внешнее повреждение strobes; это не нормальная полноценная шина.

8. Этап 5 - аппаратное чтение reset-вектора

После reset ядро 65C816 получает адрес старта из банка \$00: адрес \$FFFC содержит младший байт, \$FFFD - старший. На S-CPU есть специально полезный выход U1-89 /VP (Vector Pull), который становится LOW во время чтения exception vectors. Это позволяет подтвердить reset-vector даже четырьмя каналами.

Четырёхканальный профиль MSO VEC-1

Канал	Точка	Ожидаемая корреляция
CH1	U1-50 /RESET	Фронт release reset; источник trigger
CH2	U1-89 /VP	LOW на vector fetch
CH3	U1-92 /CPURD	LOW одновременно с чтением вектора
CH4	U1-77 /ROMSEL	LOW, поскольку \$00:FFFC/FFFD находятся в ROM area
Trigger	CH1 rising 2,5 B	Single; окно 0,5...5 ms после фронта, затем zoom



время ->

Что этот профиль доказывает

Совпадение /VP LOW, /CPURD LOW и /ROMSEL LOW после release reset доказывает, что ядро дошло до чтения вектора и декодер CPU формирует соответствующие strobes. Оно ещё не доказывает правильность адреса и данных - для этого нужны адресные и data lines.

MSO5000HD mixed capture VEC-A: точный адрес

Используются 16 цифровых входов для A0...A15, а четыре аналоговых - для управляющих сигналов. Это наиболее удобный способ проверить \$FFFC/\$FFFD без 32-канального анализатора.

Digital	Сигнал	Удобно на P1	На U1
D0	A0	P1-17	U1-93
D1	A1	P1-16	U1-94
D2	A2	P1-15	U1-95
D3	A3	P1-14	U1-96
D4	A4	P1-13	U1-97
D5	A5	P1-12	U1-98
D6	A6	P1-11	U1-99
D7	A7	P1-10	U1-100
D8	A8	P1-9	U1-2
D9	A9	P1-8	U1-3
D10	A10	P1-7	U1-4
D11	A11	P1-6	U1-5
D12	A12	P1-37	U1-6
D13	A13	P1-38	U1-7
D14	A14	P1-39	U1-8
D15	A15	P1-40	U1-9

Аналоговые: CH1=P1-26/U1-50 /RESET; CH2=U1-89 /VP; CH3=P1-23/U1-92 /CPURD; CH4=P1-49/U1-77 /ROMSEL. Trigger CH1 rising. На двух соседних vector cycles цифровое значение должно быть FFFC и FFFD.

9. Этап 6 - данные reset-вектора и банк \$00

Повторный reset детерминирован, поэтому второй mixed capture можно сделать с теми же четырьмя аналоговыми каналами, но цифровые входы перенести на D0...D7 и CA16...CA23. По /VP легко найти те же vector cycles.

Digital	Сигнал	P1	U1
D0	DATA0	P1-19	U1-60
D1	DATA1	P1-20	U1-61
D2	DATA2	P1-21	U1-62
D3	DATA3	P1-22	U1-63
D4	DATA4	P1-50	U1-64
D5	DATA5	P1-51	U1-65
D6	DATA6	P1-52	U1-66
D7	DATA7	P1-53	U1-67
D8	CA16	P1-41	U1-10
D9	CA17	P1-42	U1-11
D10	CA18	P1-43	U1-12
D11	CA19	P1-44	U1-13
D12	CA20	P1-45	U1-14
D13	CA21	P1-46	U1-15
D14	CA22	P1-47	U1-16
D15	CA23	P1-48	U1-17

Ожидаемый результат: на обоих /VP cycles CA16...CA23 = \$00. В первом vector cycle data bus содержит младший байт reset handler, во втором - старший. Полученный адрес должен вести в область ROM; затем на адресной шине начнутся последовательные чтения с этого адреса.

Полный 32-канальный профиль внешнего логического анализатора

LA канал	Сигнал	P1	U1
CH0	A0	P1-17	U1-93
CH1	A1	P1-16	U1-94
CH2	A2	P1-15	U1-95
CH3	A3	P1-14	U1-96
CH4	A4	P1-13	U1-97
CH5	A5	P1-12	U1-98
CH6	A6	P1-11	U1-99
CH7	A7	P1-10	U1-100
CH8	A8	P1-9	U1-2
CH9	A9	P1-8	U1-3
CH10	A10	P1-7	U1-4
CH11	A11	P1-6	U1-5
CH12	A12	P1-37	U1-6
CH13	A13	P1-38	U1-7
CH14	A14	P1-39	U1-8
CH15	A15	P1-40	U1-9
CH16	DATA0	P1-19	U1-60

LA канал	Сигнал	P1	U1
CH17	DATA1	P1-20	U1-61
CH18	DATA2	P1-21	U1-62
CH19	DATA3	P1-22	U1-63
CH20	DATA4	P1-50	U1-64
CH21	DATA5	P1-51	U1-65
CH22	DATA6	P1-52	U1-66
CH23	DATA7	P1-53	U1-67
CH24	/RESET	P1-26	U1-50
CH25	/VP	-	U1-89
CH26	/CPURD	P1-23	U1-92
CH27	/CPUWR	P1-54	U1-91
CH28	/ROMSEL	P1-49	U1-77
CH29	/RAMSEL	P1-32	U1-78
CH30	/PARA	P1-4	U1-68
CH31	/PAWR	P1-35	U1-69

Trigger: rising edge /RESET, pretrigger 10...20%, threshold около 2,5 В, asynchronous sample rate 100 MSa/s minimum; 200 MSa/s preferred. Если анализатор не принимает 5 В, использовать делители или level shifter. Общая земля - P1-5/36.

Проверка ROM-данных

Сравните два байта на D0...D7 с содержимым ROM-файла в offset, соответствующем reset vector. Несовпадение указывает на картридж, контакты, data bus contention или неисправную линию Dn; оно не обязательно означает дефект CPU.

10. Этап 7 - доказательство выполнения команд

Reset-vector показывает только первые чтения. Следующая задача - увидеть регулярные выборки opcode. Выходы VPA и VDA выведены только на ножки U1 и на плате не используются, зато очень удобны для диагностики.

Четырёхканальный профиль MSO EXEC-1

Канал	Точка	Интерпретация
CH1	U1-86 VPA	HIGH на valid program address / program cycles
CH2	U1-87 VDA	HIGH на valid data address cycles
CH3	U1-92 /CPURD	LOW на чтениях
CH4	U1-77 /ROMSEL	LOW при ROM access
Trigger	CH1 rising	Normal для просмотра или Single после reset

При нормальном выполнении после vector fetch идут повторяющиеся VPA cycles, совпадающие с чтениями ROM. VDA появляется на обращениях к данным. Если /ROMSEL и /CPURD есть, но VPA прекращается после нескольких циклов, процессор либо ушёл в ошибочный код/stop, либо получает неверные данные.

Четырёхканальный профиль MSO EXEC-2: адресная последовательность

Канал	Точка	Зачем
CH1	U1-89 /VP	Отметить reset vector
CH2	A0: P1-17 / U1-93	Младший бит адреса
CH3	A1: P1-16 / U1-94	Следующий бит адреса

Канал	Точка	Зачем
CH4	U1-92 /CPURD	Строб чтения

После vector cycles A0/A1 должны изменяться в соответствии с последовательным чтением инструкций. Это лишь быстрая проверка; точный программный поток декодируется полным адресным захватом.

Быстрый 16-канальный профиль логического анализатора

Канал	Сигнал	Точка
D0	/RESET	P1-26 / U1-50
D1	/VP	U1-89
D2	/ROMSEL	P1-49 / U1-77
D3	/CPURD	P1-23 / U1-92
D4	/CPUWR	P1-54 / U1-91
D5	/RAMSEL	P1-32 / U1-78
D6	/PARD	P1-4 / U1-68
D7	/PAWR	P1-35 / U1-69
D8	SYSCK	P1-57 / U1-72
D9	VPA	U1-86
D10	VDA	U1-87
D11	A0	P1-17 / U1-93
D12	A1	P1-16 / U1-94
D13	D0	P1-19 / U1-60
D14	D1	P1-20 / U1-61
D15	JP0UT0	P2-10 / U1-37

11. Этап 8 - обращения к WRAM

U1-78 /RAMSEL становится LOW при обращениях к внутренней WRAM. U6 S-WRAM получает также SYSCK, reset и strobes CPU. Наличие /RAMSEL доказывает работу адресного декодера CPU, но не подтверждает правильность сохраняемых данных.

Сигнал	Точка	Ожидается
/RAMSEL	U1-78 / P1-32	Низкие импульсы вскоре после запуска и далее.
SYSCK	U1-72 / P1-57 / U6-6	Clock memory access.
/RESOUT1	U1-50 / U6-8	HIGH после reset.
/CPURD	U1-92 / U6-57	Read strobe.
/CPUWR	U1-91 / U6-59	Write strobe.
D0...D7	U1-60...67 / U6 data pins	Активность при read/write.

Четырёхканальный профиль MSO RAM-1

Канал	Точка	Ожидаемая картина
CH1	U1-78 /RAMSEL	LOW выбирает WRAM
CH2	U1-91 /CPUWR	LOW на записи
CH3	U1-92 /CPURD	LOW на чтении
CH4	U1-72 SYSCK	Clock доступа
Trigger	CH1 falling	Показать read/write bursts

Если ROM выполняется, но WRAM-тест не проходит

Сравнить D0...D7, CA0...CA16 и strobes на U1 и U6. Одна зажатая линия данных может выглядеть как «неисправный CPU». Нагрев U6, отличие diode-test или искажённый уровень только на стороне U6 указывают на WRAM/пайку.

Косвенные признаки исправной WRAM

- После reset есть и записи, и чтения при активном /RAMSEL.
- На data bus нет устойчивого промежуточного уровня около 1...3 В, указывающего на конфликт драйверов.
- Игра переходит к инициализации PPU/APU и не повторяет стартовый участок ROM.
- Диагностический ROM выполняет write/read/compare и выдаёт внешнюю сигнатуру успеха.

12. Этап 9 - дошёл ли CPU до инициализации PPU

B-bus адрес PA0...PA7 соответствует младшему байту регистров \$21xx. Запись CPU формирует /PAWR LOW, чтение - /PARD LOW. Например, \$2100 имеет PA=\$00, а \$2133 - PA=\$33.

Сигнал	U1	Альтернатива	Ожидается
/PAWR	69	P1-35	Пакеты LOW при записи PPU/APU/I/O
/PARD	68	P1-4	LOW при чтении B-bus
PA0...PA7	51...58	P1 имеет только PA0/2/4 и PA1/3/5/6/7 по разным контактам	Адрес регистра
D0...D7	60...67	P1 data bus	Записываемое/читаемое значение

Четырёхканальный профиль MSO PPU-INIT-1

Канал	Точка	Назначение
CH1	U1-69 /PAWR	Trigger по первой B-bus записи
CH2	U1-51 PA0	Младший адресный бит
CH3	U1-52 PA1	Адресный бит 1
CH4	U1-60 D0	Один бит данных; для полного байта повторить или использовать digital
Trigger	CH1 falling	Single сразу после reset

Лучший mixed capture: digital D0...D7=PA0...PA7, D8...D15=DATA0...DATA7; analog CH1=/RESET, CH2=/PAWR, CH3=/PARD, CH4=/ROMSEL. После reset должны появиться записи к PPU. Типичный код сначала включает forced blank через \$2100, затем настраивает режим, VRAM/CGRAM/OAM и позже снимает blank. Точная последовательность зависит от ROM.

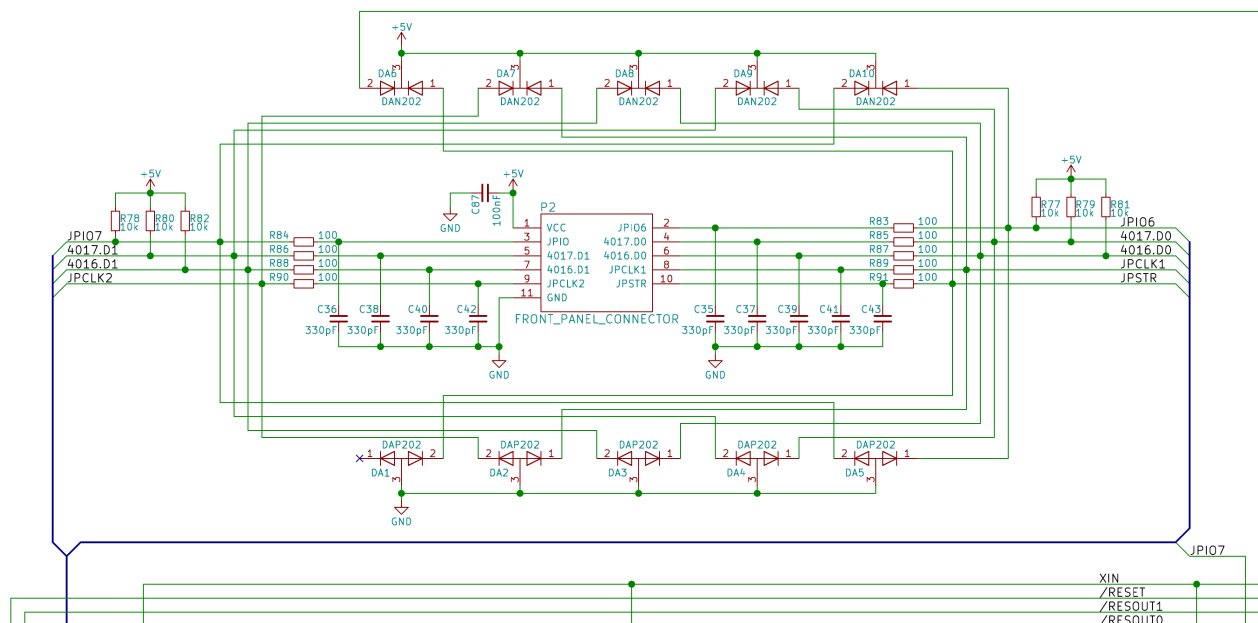
Сильное доказательство выполнения

Reset-vector + регулярный VPA + /RAMSEL + серии /PAWR означают, что CPU не только стартовал, но выполняет значительный участок кода и обращается к периферии. При чёрном экране после этого вероятность неисправности PPU/VRAM/video path заметно возрастает.

Связь с S-PPU1 и S-PPU2

Микросхема	Питание / clock / reset	B-bus strobes	Выходной признак
U2 S-PPU1 5C77	VCC 13,36,62,81; GND 22,45,77,96; XIN 100; RESET 98	/PARD U2-3; /PAWR U2-4	Работа с VRAM, сигналы CHR/COLOR к U3
U3 S-PPU2 5C78	VCC 5,32,59,83; GND 16,35,68,99; XIN 31; RESET 34	/PARD U3-7; /PAWR U3-6	CSYNC U3-100; R/G/B U3-95/96/97

13. Этап 10 - опрос контроллеров как признак главного цикла



P2 - разъем передней панели. Удобные точки: P2-10 JPSTR, P2-8 JPCLK1, P2-9 JPCLK2, P2-2 JP106, P2-3 JP107, P2-11 GND.

Сигнал	U1	P2	Ожидается
JPOUT0 / JPSTR	37	10	Latch/strobe перед чтением controller bits.
JPCLK1	35	8	Серия clock pulses для порта 1.
JPCLK2	36	9	Серия clock pulses для порта 2.
JPI06	25	2	Программируемый I/O bit 6.
JPI07	26	3	Программируемый I/O bit 7 / external latch.
GND	-	11	Земля измерения.

Четырёхканальный профиль MSO JOY-1

Канал	Точка	Временная база
CH1	P2-10 JPSTR	Сначала 5 ms/div
CH2	P2-8 JPCLK1	Zoom 10...50 μ s/div на packet
CH3	P2-9 JPCLK2	То же
CH4	U1-44 VBLANK	Проверить привязку к кадру 50 Гц
Trigger	CH1 rising	Normal/Single

При включённом auto joyrad read обычно наблюдается один опрос в районе VBlank, то есть около 50 раз в секунду на PAL, и последовательность из 16 clock pulses. Некоторые программы опрашивают вручную или ещё не дошли до главного цикла, поэтому отсутствие pulses не является самостоятельным доказательством неисправности CPU.



время ->

Практический вывод

Если игра даёт устойчивые controller packets с кадровой периодичностью, CPU почти наверняка выполняет главный цикл. При чёрном экране искать PPU, VRAM, forced blank или видеотракт, хотя частичный дефект CPU всё ещё теоретически возможен.

14. Этап 11 - HBLANK/VBLANK и видеосинхронизация

Даже при чёрном RGB S-PPU2 может формировать синхронизацию. Сравнение blanking и CPU writes позволяет отделить «CPU не инициализировал PPU» от «PPU/video path не выводит картинку».

Сигнал	Точка	Ожидается
HBLANK	U1-43	Период строк около 64 μ s, частота около 15,625 кГц PAL.
VBLANK	U1-44	Кадровая периодичность около 50 Гц.
CSYNC	U3-100	Строчные sync pulses с кадровой структурой.
R / G / B	U3-95 / 96 / 97	Активность изображения после снятия forced blank.
BURST	U3-1	Служебный сигнал burst к encoder.

Четырёхканальный профиль MSO VIDEO-1

Канал	Точка	Цель
CH1	U1-43 HBLANK	Line timing
CH2	U1-44 VBLANK	Frame timing
CH3	U1-69 /PAWR	CPU продолжает писать в PPU
CH4	U3-100 CSYNC	PPU2 выдаёт sync
Trigger	CH4 edge	20 μ s/div; затем CH2, 5 ms/div
Картина		Вероятный вывод
Есть /PAWR, HBLANK/VBLANK и CSYNC, RGB чёрный		Forced blank не снят, PPU1/VRAM/меж-PPU данные или конкретная инициализация.
Есть выполнение CPU, но нет HBLANK/VBLANK и CSYNC		U3 S-PPU2: power, XIN, reset, сама микросхема.
CSYNC и RGB есть на U3, нет изображения на AV		S-ENC, транзисторы/фильтры, AV connector.
Звук/управление работают, sync есть, RGB чёрный		CPU достаточно далеко выполняет игру; приоритет PPU1/VRAM/forced blank.

15. Этап 12 - APU как независимый свидетель выполнения

S-SMP/SPC700 и S-DSP имеют собственную подсистему. Большинство игр после старта обмениваются данными через \$2140...\$2143. Запись в эти регистры создаёт /PAWR и PA=\$40...\$43. Если слышен стартовый звук или музыка реагирует на управление, CPU выполняет значительный код, хотя конкретный ROM может молчать.

Проверка	Подключение	Что доказывает
B-bus writes к APU	Digital PA0...PA7 + D0...D7; analog /PAWR	CPU выполняет upload/handshake.
P2 controller + audio	JOY-1 и audio output	Главный цикл/управление живы.
Только наличие audio carrier/noise	Audio path	Не является доказательством S-CPU.

Mixed capture APU-1

Digital D0...D7=PA0...PA7, D8...D15=DATA0...DATA7. Analog CH1=/RESET U1-50, CH2=/PAWR U1-69, CH3=/PARD U1-68, CH4=VPA U1-86. Trigger CH2 falling. Ищите PA=\$40...\$43. Повторяющиеся handshake transactions после старта - сильный признак выполнения ROM.

Оговорка

Не каждая игра немедленно запускает звук; неисправный APU иногда мешает загрузке самой игры. Поэтому отсутствие APU-обмена нужно рассматривать вместе с VPA, /ROMSEL, /RAMSEL и /PAWR к другим регистрам.

16. Финальный функциональный тест CPU без изображения

Пассивными измерениями нельзя проверить каждую функцию 5A22. Наиболее надёжный заключительный метод - собственный диагностический ROM, который сообщает прогресс через JPIO6/JPIO7 на P2-2/P2-3. Nintendo manual определяет \$4201 как программируемый 8-битный I/O output; на разъём выведены биты D6 и D7.

Код этапа	Проверка ROM	Внешняя сигнатура
1	Reset handler запущен	1 короткий pulse на P2-2
2	Базовые opcode и branches	2 pulses
3	WRAM March / walking-bit	3 pulses
4	Адресные линии / patterns	4 pulses
5	Умножение / деление \$4202...\$4217	5 pulses
6	General DMA \$420B	6 pulses
7	B-bus read/write и PPU register access	7 pulses
8	APU handshake	8 pulses или отдельный длинный HIGH
Ошибка	Homep failed subtest	Длинный LOW, затем N pulses

При разработке такого ROM сначала установить stack, отключить interrupts/DMA/HDMA, включить forced blank и не зависеть от PPU. Сигнатуру выдавать сразу после каждого этапа, а при ошибке входить в стабильный loop. Для наблюдения: CH1=P2-2 JPIO6, CH2=P2-3 JPIO7, CH3=/RAMSEL, CH4=/PAWR.

17. Матрица выводов по результатам

Наблюдение	Область	Следующий шаг
+5 В отсутствует/проседает	Питание	U12, мост, фильтр, short. CPU не оценивать.
U18-4 нет	Clock generator	X1/U18/обвязка.
U18-4 есть, U1-48 нет	Разводка/нагрузка	Дорожка, short XIN, U1 input.
U8-10 release есть, U3-28 нет	S-PPU2 reset output	U3 power/XIN/reset или U3.
U3-28 есть, U1-50 нет	Линия /RESOUT1	Обрыв/short/cart load.
Reset HIGH, XIN есть, SYSCK нет	S-CPU или входы	Проверить RDY,/IRQ,/ABORT и shorts; затем U1.
SYSCK есть, /VP нет после reset	S-CPU sequence	U1 либо некорректный reset/input state.
/VP есть, адрес не FFFC/FFFD	Адресная шина/U1	Проверить CA lines и правильность capture.
FFFC/FFFD есть, data неверны	Cart/data bus	Контакты, ROM, D0...D7, contention.
Vector правильный, opcode fetch прекращается	CPU/ROM/WRAM/bus	Сравнить поток с ROM; искать stuck line.
VPA устойчив, /RAMSEL отсутствует	Код/декодер	ROM мог не пройти; иначе U1 decode.
/RAMSEL есть, WRAM compare fail	U6 или bus	D/A lines, strobes, U6.
/PAWR есть, controller main loop есть, экран чёрный	PPU/VRAM/video	CPU функционален по значительному набору функций.
CPU исполняет, H/VBLANK и CSYNC нет	U3 S-PPU2	Power/XIN/reset/U3.
CSYNC и RGB есть на U3, AV чёрный	Encoder/output	S-ENC, аналоговый тракт, AV socket.

Уровни уверенности

Уровень	Подтверждено	Что ещё не подтверждено
A	Питание, clock, reset	CPU может быть полностью мёртв.
B	SYSCK и memory strobes	Правильный vector/data/opcode.
C	FFFC/FFFD и правильные bytes	Продолжительное выполнение.
D	VPA stream, /RAMSEL, /PAWR	Все функции CPU и RAM.
E	Controller/APU/main loop	Редкие opcode, math, все DMA channels.
F	Специализированный diagnostic ROM	Только функции, реально покрытые ROM.

Когда замена S-CPU оправдана

Питание/clock/reset исправны; статические входы нормальны; внешних shorts нет; reset-vector или дальнейшее выполнение нарушены именно на выходах U1; data/address sources проверены исправным картриджем и сравнением. Чем больше этих пунктов подтверждено, тем меньше риск заменить исправный ASIC.

18. Полная диагностическая распиновка U1 S-CPU

U1 вывод(ы)	Сигнал	Функция	Ожидается
1, 34, 59, 85	VCC	Power	+5 В
18, 47, 79, 90	GND	Power	0 В
2...9	CA8...CA15	A-bus address out	Activity during bus cycles
10...17	CA16...CA23	A-bus bank out	Reset vector bank = \$00
19...24	JPI00...5	I/O, NC on console	Не использовать как главный test point
25, 26	JPI06, JPI07	\$4201/\$4213 I/O	P2-2/P2-3
27, 28	4017.D0, D1	Controller inputs	Data from port 2
32, 33	4016.D0, D1	Controller inputs	Data from port 1
35, 36	JPCLK1, JPCLK2	Controller clocks	Pulse packets
37	JPOUT0	Controller strobe	Latch pulse
40	REFRESH	WRAM refresh	4 HIGH pulses per scanline
41, 42	TCKSEL0, 1	Test inputs	LOW
43	HBLANK	From PPU2	15,625 кГц pattern
44	VBLANK	From PPU2	50 Гц pattern
45	/NMI	External NMI input	HIGH
46	/IRQ	External interrupt	HIGH idle
48	XIN	Master clock input	21,28137 МГц
49	/DRAMMODE	Config input	LOW
50	/RESET	From U3-28	LOW -> HIGH
51...58	PA0...PA7	B-bus address out	Activity with /PARD or /PAWR
60...67	D0...D7	Data bus I/O	0...5 В logic
68	/PARD	B-bus read	LOW pulses
69	/PAWR	B-bus write	LOW pulses
70	/DMA	NC output	Не первичная точка
71	CPUCK	NC output	Не первичная точка
72	SYSCK	Memory access clock	/6,/8,/12 master
73	TM	Test input	LOW
74	HVCMODE	Mode input	LOW
75	HALT	Config/test input	LOW by schematic
76	/ABORT	Input	HIGH
77	/ROMSEL	ROM select	LOW pulses
78	/RAMSEL	WRAM select	LOW pulses
80	R/W	NC output	Не первичная точка
81	RDY	CPU ready input	HIGH
82	/ML	Memory lock, NC	Не первичная точка
83	MF	M flag, NC	Diagnostic only
84	XF	X flag, NC	Diagnostic only
86	VPA	Valid program address	HIGH pulses
87	VDA	Valid data address	HIGH pulses
88	ALCK	Clock-related, NC	Не использовать первым
89	/VP	Vector pull	LOW on vector cycles
91	/CPUWR	A-bus write	LOW pulses
92	/CPURD	A-bus read	LOW pulses

U1 вывод(ы)	Сигнал	Функция	Ожидается
93...100	CA0...CA7	A-bus address out	Activity

19. Готовые сценарии MSO5000HD

Профиль	Подключение	Цель
PWR-1	CH1 +5 V; CH2 U18-4 XOUT; CH3 U1-50 RESET; CH4 U1-72 SYSCK	Power-on, trigger CH3 rising
RST-1	CH1 U8-10; CH2 U3-34; CH3 U3-28; CH4 U3-33	Сравнение всей reset chain
VEC-1	CH1 U1-50; CH2 U1-89 /VP; CH3 U1-92 /CPURD; CH4 U1-77 /ROMSEL	Факт vector fetch
VEC-A	Analog как VEC-1; Digital A0...A15	Точный адрес FFFC/FFFD
VEC-D	Analog как VEC-1; Digital DATA0...7 + CA16...23	Vector bytes и bank \$00
EXEC-1	CH1 VPA; CH2 VDA; CH3 /CPURD; CH4 /ROMSEL	Opcode/data cycles
RAM-1	CH1 /RAMSEL; CH2 /CPUWR; CH3 /CPURD; CH4 SYSCK	WRAM traffic
PPU-INIT-1	CH1 /PAWR; CH2 PA0; CH3 PA1; CH4 D0	Первые PPU writes
JOY-1	CH1 P2-10; CH2 P2-8; CH3 P2-9; CH4 U1-44	Main loop / controller read
VIDEO-1	CH1 HBLANK; CH2 VBLANK; CH3 /PAWR; CH4 U3-100 CSYNC	CPU vs PPU timing
SIG-1	CH1 P2-2; CH2 P2-3; CH3 /RAMSEL; CH4 /PAWR	Custom diagnostic ROM

Рекомендуемые timebase и trigger

Задача	Timebase начальный	Zoom	Trigger
Power/reset	10...100 ms/div	1 ms/div	RESET rising
Master clock	100 ns/div	20 ns/div	XOUT edge
Bus cycles	10 µs/div	200 ns...1 µs/div	/CPURD falling
Reset vector	0,5...5 ms total window	200 ns...2 µs/div	RESET rising; find /VP
Line sync	100 µs/div	10...20 µs/div	CSYNC edge
Frame/controller	5 ms/div	10...100 µs/div packet	JPSTR rising

Сохранение эталона

На исправной PAL-плате сохранить screenshots и waveform files профилей RST-1, VEC-1, EXEC-1, RAM-1 и VIDEO-1 с тем же картриджем. Сравнение двух одинаковых ревизий часто информативнее любых «идеальных» чисел.

20. Лист регистрации измерений

#	Точка	Ожидается	Измерено	Оценка
1	U12 V0 +5 V	4,9...5,1 В practical	_____	OK / FAIL
2	U1 VCC pins	Все близки к +5 В	_____	OK / FAIL
3	U18-4 XOUT	21,28137 МГц	_____	OK / FAIL
4	U1-48 XIN	21,28137 МГц	_____	OK / FAIL
5	U2-100 XIN	21,28137 МГц	_____	OK / FAIL
6	U3-31 XIN	21,28137 МГц	_____	OK / FAIL
7	U8-10 /RESET	LOW -> HIGH	_____	OK / FAIL
8	U3-28 /RESOUT1	LOW -> HIGH	_____	OK / FAIL
9	U3-33 /RESOUT0	LOW -> HIGH	_____	OK / FAIL
10	U1-50 /RESET	LOW -> HIGH	_____	OK / FAIL
11	U1-72 SYSCK	Activity	_____	OK / FAIL
12	U1-89 /VP	LOW vector pulses	_____	OK / FAIL
13	U1-92 /CPURD	LOW read pulses	_____	OK / FAIL
14	U1-77 /ROMSEL	LOW ROM pulses	_____	OK / FAIL
15	A0...A15 at /VP	FFFC, FFFD	_____	OK / FAIL
16	D0...D7 vector	____, ____	_____	OK / FAIL
17	CA16...23 vector	\$00	_____	OK / FAIL
18	U1-86 VPA	Continuous opcode activity	_____	OK / FAIL
19	U1-78 /RAMSEL	WRAM pulses	_____	OK / FAIL
20	U1-69 /PAWR	B-bus write pulses	_____	OK / FAIL
21	P2-10 JPSTR	Controller latch	_____	OK / FAIL
22	P2-8/9 JPCLK	Clock packets	_____	OK / FAIL
23	U1-43 HBLANK	15,625 кГц pattern	_____	OK / FAIL
24	U1-44 VBLANK	50 Гц pattern	_____	OK / FAIL
25	U3-100 CSYNC	PAL sync	_____	OK / FAIL
26	U3-95/96/97 RGB	Image activity	_____	OK / FAIL

Плата / ревизия: _____ Картридж: _____

Симптом: _____

Итоговая локализация: _____

21. Super Game Boy и проверка PPU

Super Game Boy содержит Game Boy system-on-chip с собственными GB CPU, video и sound controller, а также мост ICD2. Но он не содержит замену SNES S-PPU1 5C77 и S-PPU2 5C78. SNES CPU всё равно запускает ROM-код SGB, принимает данные через картридж и выводит их через штатные SNES VRAM/PPU/video path.

Результат SGB	Что можно заключить	Что нельзя заключить
Есть стабильная картинка и управление	S-CPU, значительная часть WRAM/bus, обе SNES PPU и video path работают в используемом режиме.	Не проверены все PPU modes, Mode 7, все VRAM bits, все CPU opcode/DMA.
Чёрный экран	Ничего однозначного: возможны CPU, WRAM, SGB, PPU, VRAM, video.	Нельзя сразу объявить неисправным PPU.
Частичный дефект PPU, но SGB показывает	Возможен, если неисправна функция, которую SGB не использует.	Это не означает, что PPU внутри SGB заменяет SNES PPU.

Короткий ответ на легенду

Полностью мёртвый S-PPU1 или S-PPU2 Super Game Boy не обходит. Картинка при «неисправном PPU» возможна только при частичном дефекте, не затрагивающем используемый SGB видеорежим.

22. Источники и примечания

Источник	Использование / ссылка
PAL-SNES Schematic Rev. 0.8	Приложенная схема SNSP-CPU-01 (1992), SNSP-CPU-02 (1992), SNSP-RGB-01 (1992). Основной источник designators и соединений.
SNES S-CPU Pinout - Jonathon W. Donaldson	https://gamesx.com/wiki/lib/exe/fetch.php?media=schematics:pinout_s-cpu.pdf
Nintendo SNES Development Manual, Book I	https://archive.org/details/SNESDevManual - CPU terminals, registers, I/O, DMA, controller and PPU programming.
SNESdev / Super Famicom Development Wiki - Timing	https://wiki.superfamicom.org/timing - PAL master clock, 6/8/12 master-cycle accesses, H/V timing.
UNI-T MSO5000HD official product page	https://instruments.uni-trend.com/products/high-resolution-oscilloscopes/MSO5000HD - 4 analog and 16 digital channels.
Pan Docs - SGB Functions	https://gbdev.io/pandocs/SGB_Functions.html - GB SoC and ICD2 bridge architecture.

Примечание об ожидаемых уровнях

Частоты и логические функции приведены по схеме и технической документации. Амплитуда, фронты, reset-delay и конкретная программная последовательность зависят от ревизии, нагрузки, щупа и ROM. При спорном результате сравнивать с исправной платой той же ревизии.