



# LC86F8208A

CMOS LSI

暫定規格

## フラッシュEEPROM 136Kバイト内蔵 8ビット1チップマイクロコンピュータ

### 概要

LC86F8208Aは、最小バスサイクルタイム0.5μs(VDD=3.25V)で動作するCPU部を核に、8KバイトROM、136KバイトフラッシュEEPROM、256バイトRAM、16ビットタイマ/カウンタ(または、2チャンネル×8ビットタイマ)、8ビット同期式シリアルインタフェース(データ転送速度500Kビット/秒:VDD=3.25V)、低電圧リセット回路、リアルタイムクロック等を1チップに集積した8ビットマイクロコンピュータである。

### 特長

フラッシュEEPROM  
 ・139264×8ビット : プログラム領域 8192×8ビット  
 : データ領域 131072×8ビット

ROM  
 ・8192×8ビット : OS用プログラム領域(ユーザは使用不可)

RAM  
 ・256×8ビット

最小バスサイクルタイム  
 ・0.5μs(6MHz発振周波数)  
 (注)バスサイクルタイムはROMの読み出し速度を表わす。

### 最小命令サイクルタイム

| バスサイクルタイム | 命令サイクルタイム | システムクロック発振源 | 発振周波数  | 電源電圧      | 備考     |
|-----------|-----------|-------------|--------|-----------|--------|
| 0.5μs     | 1.0μs     | セラミック(CF)発振 | 6MHz   | 3.25~3.8V | OCR7=1 |
| 7.5μs     | 15.0μs    | 内蔵RC発振      | 800kHz | 3.25~3.8V |        |

\*OCR7:発振制御レジスタのビット7

### ポート

- ・ノーマル耐圧入出力ポート : 3ポート(20本)
- ・ビット単位で入出力指定可能なポート : 2ポート(16本ポート1,3)
- ・ニブル単位で入出力指定可能なポート : 1ポート(4本ポート4)
- ・ノーマル耐圧入力ポート : 1ポート(4本ポート7)

■この資料の情報(掲載回路および回路定数を含む)は一例を示すもので、量産セットとしての設計を保障するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。

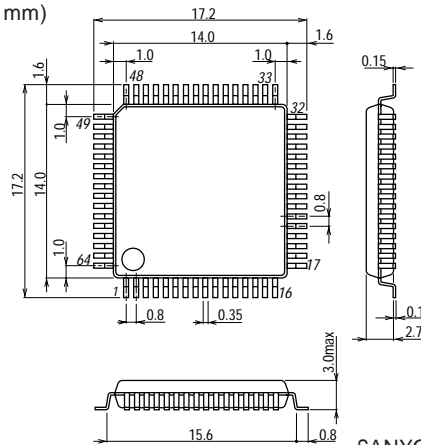
■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。

■弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。

■本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。

外形図 3159  
(unit: mm)



## シリアルインタフェース

- ・ 8ビットシリアルインタフェース
- ・ L S B先頭 / M S B先頭切り換え可能
- ・ 8ビットポーレートジェネレータ内蔵
- ・ データ転送速度  
500Kビット :  $VDD = 3.25 \sim 3.8V$

## タイマ

- ・ タイマ0 : 16ビットタイマ / カウンタ  
2ビットプリスケアラ + 8ビットプログラマブルプリスケアラ内蔵  
モード0 : プログラマブルプリスケアラ付き 8ビットタイマ × 2チャンネル  
モード1 : プログラマブルプリスケアラ付き 8ビットタイマ + 8ビットカウンタ  
モード2 : プログラマブルプリスケアラ付き 16ビットタイマ  
モード3 : 16ビットカウンタ  
タイマの分解能は、 $t_{CYC}$ である ( $t_{CYC}$  : サイクルタイム)。

## リモコン受信回路 (P73 / INT3 / T0IN端子と共用)

- ・ ノイズ除去機能 (ノイズ除去フィルタの時定数  $1 t_{CYC} / 16 t_{CYC} / 64 t_{CYC}$ はソフト切り換え)  
( $t_{CYC}$  : 命令サイクルタイム)
- ・ 極性切り換え機能

## ウォッチドッグタイマ

- ・ R C外付けによるウォッチドッグタイマ
- ・ 割り込み, リセットの選択可能

## 割り込み

- ・ 9要因, 8ベクタ  
外部割り込み INT0 (ウォッチドッグタイマ含む)  
外部割り込み INT1  
外部割り込み INT2, タイマ / カウンタ T0L (下位 8ビット)  
外部割り込み INT3, リアルタイムクロック  
タイマ / カウンタ T0H (上位 8ビット)  
シリアルインタフェース SIO0  
ポート 3
- ・ 割り込み優先レジスタ内蔵  
マイコンの割り込みは低レベル, 高レベル, 最高レベルの 3レベルの多重割り込みが可能である。外部割り込み INT2, タイマ / カウンタ T0L (下位 8ビット) からポート 3 の 7つの割り込み要因は, 割り込み優先レジスタにより低レベルまたは高レベルの割り込み優先が指定できる。  
また, 外部割り込み INT0, INT1は, 低レベルまたは最高レベルの割り込み優先が指定できる。

## フラッシュEEPROM

- ・ 消去ブロックサイズ 128バイト
- ・ 消去 / 書き込み電圧  $+3.25 \sim +5.5V$
- ・ 書き換え可能回数 1万回 ( $T_a = 25 \pm 2$ )
- ・ 一括消去時間 50ms
- ・ 書き換え方式  
データ領域 : 並列  
(PROMライタ及びプログラム)  
プログラム領域 : 並列  
(PROMライタ)

サブルーチンスタックレベル

- ・最大128レベル(スタックはRAMの中に設定)

高速乗除算命令内蔵

- ・16ビット×8ビット(実行時間:7命令サイクルタイム)
- ・16ビット÷8ビット(実行時間:7命令サイクルタイム)

2種類の発振回路

- ・RC発振回路(内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用

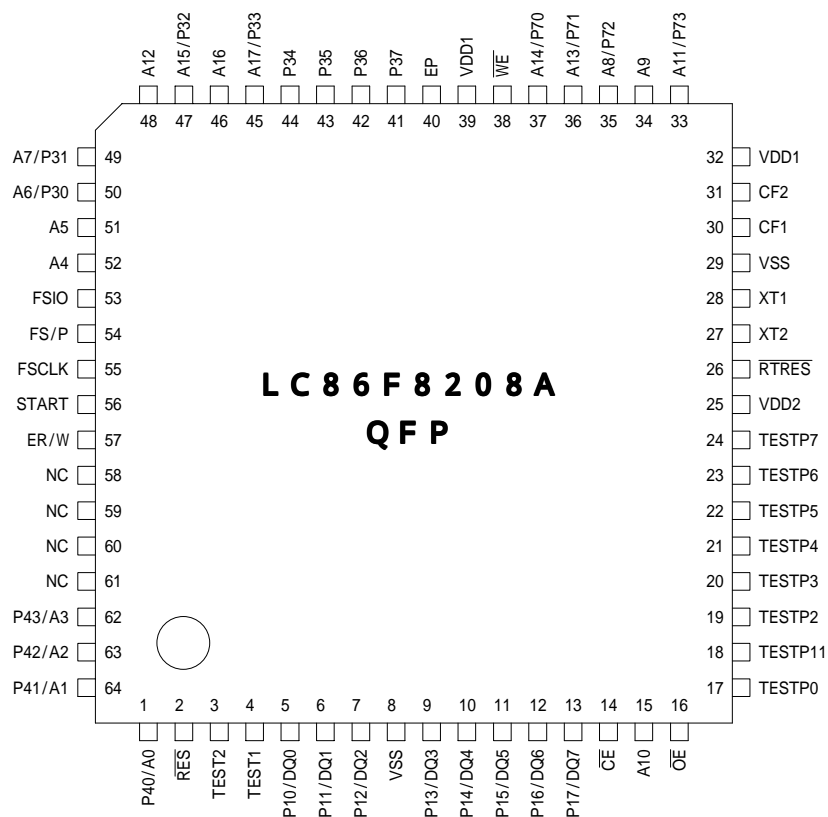
スタンバイ機能

- ・HALTモード  
命令の実行を停止するモードであり、リセットまたは割り込みの発生により解除可能である。
- ・HOLDモード  
CF発振、RC発振のいずれも停止するモードである。HOLDモードを解除するには、次の3つの方法がある。  
 (1) システムリセット。  
 (2) P70/INT0/T0IN端子、またはP71/INT1/T0IN端子に指定されたレベルを入力する。  
 (3) ポート3で割り込み条件が成立する。

出荷形態

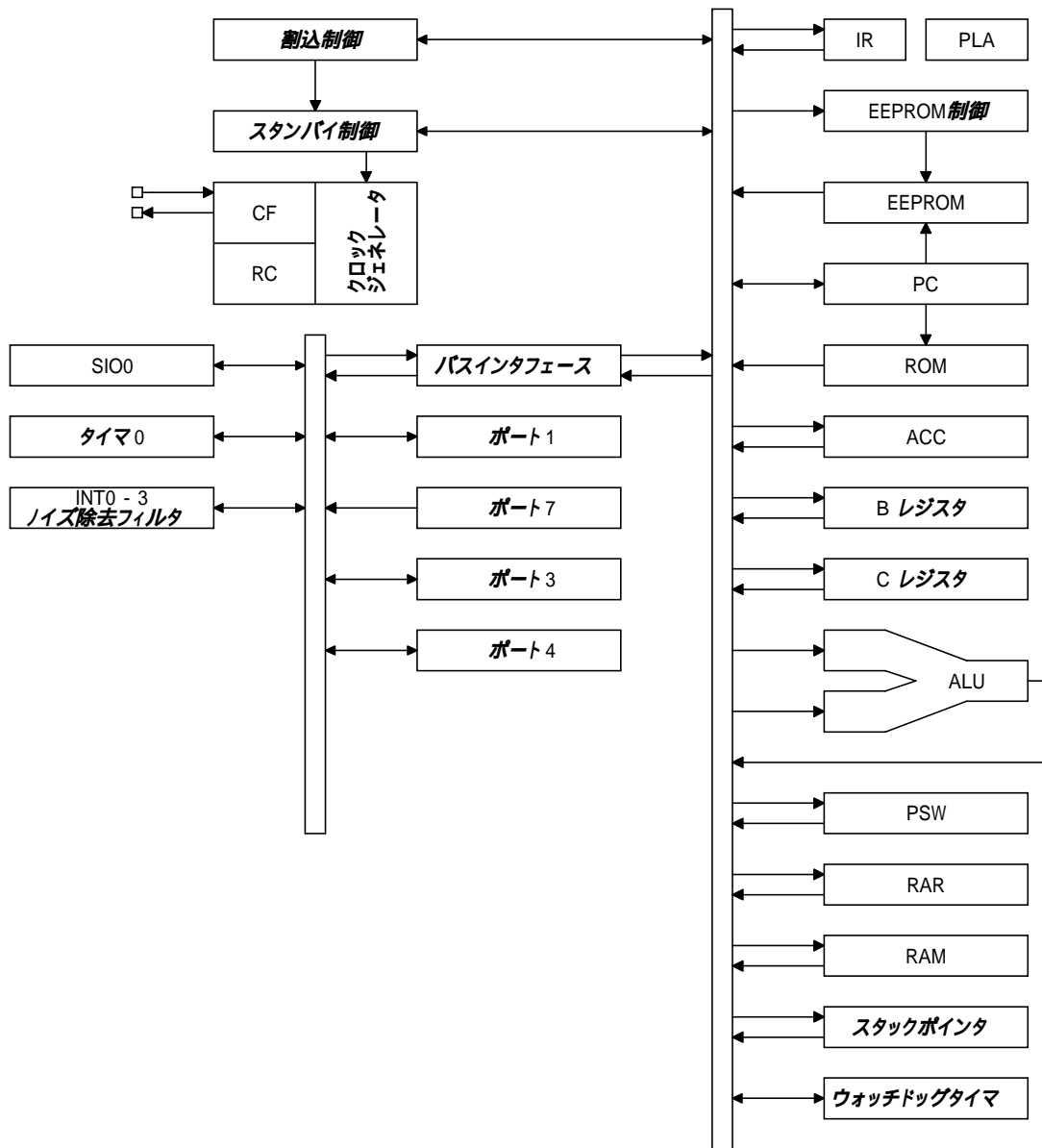
- ・QFP64E

ピン配置図 QFP64E



(注) NC ピンは何も接続しないこと。

システムブロック図



## 端子機能表

| 端子名                                 | 番号  | 入出力   | 機能説明  | オプション   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
|-------------------------------------|---|-------|---|---|---|-----|---------------------|-----|------------------------|---|--|--|-------|-------|---------------|------|------|-----|------|--|--|---|--|--|-----|------|--|--|---|--|--|-----|------|--|--|--|---|---|-----|------|--|--|--|---|---|-----|---|
| VSS                                 | 8, 29   | -     | 電源の - 端子  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| VDD1                                | 32, 39  | -     | 電源の + 端子 (マイコン用の電源)   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| VDD2                                | 25  | -     | 電源の + 端子  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| ポート 1<br>P10 ~ P17                  | 5 ~ 7<br>9 ~ 13                                 | I/O   | 8 ビットの入出力ポート<br>1 ビット単位の入出力指定可能<br>兼用機能<br><table border="1" style="margin-left: 20px;"> <tr> <td>P10</td> <td>SI00 データ出力</td> </tr> <tr> <td>P11</td> <td>SI00 データ入力 / バス入出力</td> </tr> <tr> <td>P12</td> <td>SI00 クロック入出力</td> </tr> </table>   | P10   | SI00 データ出力                                      | P11 | SI00 データ入力 / バス入出力  | P12 | SI00 クロック入出力           | <ul style="list-style-type: none"> <li>・出力形式<br/>P10, P14<br/>: Nch オープンドレイン</li> <li>P11-P13, P15-P17 : CMOS</li> <li>・プログラマブルプルアップ<br/>抵抗有</li> <li>・シュミット入力</li> </ul> |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P10                                 | SI00 データ出力                                      |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P11                                 | SI00 データ入力 / バス入出力                              |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P12                                 | SI00 クロック入出力                                    |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| ポート 3<br>P30 ~ P37                  | 50, 49<br>47<br>45 ~ 41                         | I/O   | 8 ビットの入出力ポート<br>1 ビット単位の入出力指定可能<br>HOLD 解除入力<br>キー割り込み入力  | <ul style="list-style-type: none"> <li>・プログラマブルプルアップ<br/>抵抗有</li> <li>・出力形式 : CMOS</li> <li>・シュミット入力</li> </ul> |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| ポート 4<br>P40 ~ P43                  | 1<br>64 ~ 62                                    | I/O   | 4 ビットの入出力ポート<br>4 ビット単位の入出力指定可能   | <ul style="list-style-type: none"> <li>・プログラマブルプルアップ<br/>抵抗有</li> <li>・出力形式 : CMOS</li> <li>・シュミット入力</li> </ul> |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| ポート 7<br>P70 ~ P73                  | 37 ~ 35<br>33                                   | I     | 4 ビットの入力ポート<br>兼用機能<br><table border="1" style="margin-left: 20px;"> <tr> <td>P70</td> <td>INT0 入力 / HOLD 解除入力<br/>/ ウォッチドッグタイマ用 Nch-Tr. 出力</td> </tr> <tr> <td>P71</td> <td>INT1 入力 / HOLD 解除入力</td> </tr> <tr> <td>P72</td> <td>INT2 入力 / タイマ 0 イベント入力</td> </tr> <tr> <td>P73</td> <td>INT3 入力 (ノイズ除去フィルタ付入力)<br/>/ タイマ 0 イベント入力</td> </tr> </table><br>インタラプト受付形式, ベクタアドレス<br><table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり &amp; 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> <th>ベクタ</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td>×</td> <td></td> <td></td> <td>03H</td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td>×</td> <td></td> <td></td> <td>0BH</td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td>×</td> <td>×</td> <td>13H</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td>×</td> <td>×</td> <td>1BH</td> </tr> </tbody> </table> | P70   | INT0 入力 / HOLD 解除入力<br>/ ウォッチドッグタイマ用 Nch-Tr. 出力 | P71 | INT1 入力 / HOLD 解除入力 | P72 | INT2 入力 / タイマ 0 イベント入力 | P73   | INT3 入力 (ノイズ除去フィルタ付入力)<br>/ タイマ 0 イベント入力 |  | 立ち上がり | 立ち下がり | 立ち上がり & 立ち下がり | Hレベル | Lレベル | ベクタ | INT0 |  |  | × |  |  | 03H | INT1 |  |  | × |  |  | 0BH | INT2 |  |  |  | × | × | 13H | INT3 |  |  |  | × | × | 1BH | <ul style="list-style-type: none"> <li>・プログラマブルプルアップ<br/>抵抗有</li> <li>・シュミット入力</li> </ul> |
| P70                                 | INT0 入力 / HOLD 解除入力<br>/ ウォッチドッグタイマ用 Nch-Tr. 出力 |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P71                                 | INT1 入力 / HOLD 解除入力                             |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P72                                 | INT2 入力 / タイマ 0 イベント入力                          |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| P73                                 | INT3 入力 (ノイズ除去フィルタ付入力)<br>/ タイマ 0 イベント入力        |       |   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
|                                     | 立ち上がり   | 立ち下がり | 立ち上がり & 立ち下がり   | Hレベル  | Lレベル  | ベクタ |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| INT0                                |   |       | ×   |   |   | 03H |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| INT1                                |   |       | ×   |   |   | 0BH |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| INT2                                |   |       |   | ×   | ×   | 13H |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| INT3                                |   |       |   | ×   | ×   | 1BH |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| RES                                 | 2   | I     | リセット端子  | シュミット入力   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| CF1                                 | 30  | I     | セラミック発振子用入力端子   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| CF2                                 | 31  | O     | セラミック発振子用出力端子   |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| RTRES                               | 26  | I     | オープンで使用すること。  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| XT1                                 | 28  | I     | VSS に固定すること。  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| XT2                                 | 27  | O     | オープンで使用すること。  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| A4<br>A5<br>A9<br>A10<br>A12<br>A16 | 52<br>51<br>34<br>15<br>48<br>46                | I     | PROM プログラマ等で内蔵の EEPROM に書き込み時のアドレス入力  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |
| WE<br>OE<br>CE<br>EP                | 38<br>16<br>14<br>40                            | I     | PROM プログラマ等で内蔵の EEPROM に書き込み時の制御入力  |   |   |     |                     |     |                        |   |  |  |       |       |               |      |      |     |      |  |  |   |  |  |     |      |  |  |   |  |  |     |      |  |  |  |   |   |     |      |  |  |  |   |   |     |   |

## リセット期間中のポートの状態

| 端子名     | 入出力モード | プルアップ抵抗の状態        |
|---------|--------|-------------------|
| ポート1, 3 | 入力     | プログラマブルプルアップ抵抗OFF |
| ポート7    | 入力     | 固定プルアップ抵抗有り       |
| ポート4    | 入力     | プログラマブルプルアップ抵抗ON  |

## EEPROM書き込み時の端子機能

|        | 端子名 | 機能  |
|--------|-----|-----|
| アドレス信号 | P40 | A0  |
|        | P41 | A1  |
|        | P42 | A2  |
|        | P43 | A3  |
|        | A4  | A4  |
|        | A5  | A5  |
|        | P30 | A6  |
|        | P31 | A7  |
|        | P72 | A8  |
|        | A9  | A9  |
|        | A10 | A10 |
|        | P73 | A11 |
|        | A12 | A12 |
|        | P71 | A13 |
|        | P70 | A14 |
|        | P32 | A15 |
|        | A16 | A16 |
| P33    | A17 |     |

|        | 端子名             | 機能                  |
|--------|-----------------|---------------------|
| データ入出力 | P10             | DQ0                 |
|        | P11             | DQ1                 |
|        | P12             | DQ2                 |
|        | P13             | DQ3                 |
|        | P14             | DQ4                 |
|        | P15             | DQ5                 |
|        | P16             | DQ6                 |
| 制御信号   | P17             | DQ7                 |
|        | $\overline{WE}$ | $\overline{WE}$     |
|        | $\overline{OE}$ | $\overline{OE}$     |
|        | $\overline{CE}$ | $\overline{CE}$     |
|        | EP              | EEPROM書き込み<br>モード設定 |

## 1. 絶対最大定格 / Ta=25 , VSS=0V

| 項目       | 記号                  | 適用端子・備考   | 条件  | 規格                   |      |      |          | unit |
|----------|---------------------|---|---|----------------------|------|------|----------|------|
|          |                     |   |   | VDD[V]               | min. | typ. | max.     |      |
| 最大電源電圧   | VDDMAX              | VDD1  |   |                      | -0.3 | ~    | +7.0     | V    |
|          |                     | VDD2  |   |                      | -0.3 | ~    | +7.0     |      |
| 入力電圧     | VI(1)               | ホ <sup>0</sup> -171, 72, 73,<br>RES, FS/P, FSCLK,<br>START, FR/W, A4, A5,<br>A9, A10, A12, A16,<br>EP, CE, OE, WE |   |                      | -0.3 | ~    | VDD1+0.3 |      |
|          | VI(2)               | RTRES   |   |                      | -0.3 | ~    | VDD2+0.3 |      |
| 出力電圧     | VO(1)               | TEST1, TEST2  |   |                      | -0.3 | ~    | VDD1+0.3 |      |
| 入出力電圧    | VIO(1)              | ホ <sup>0</sup> -1, 3, 4, 70,<br>TESTP0, FS10  |   |                      | -0.3 | ~    | VDD1+0.3 |      |
| 高レベル出力電流 | ピーク出力電流             | IOPH(1)   | ホ <sup>0</sup> -1, 3, 4,<br>TESTP0, TEST1,<br>TEST2, FS10 | CMOS 出力<br>適用 1 端子当り |      | -4   |          | mA   |
|          | 合計出力電流              | IOAH(1)   | ホ <sup>0</sup> -1, 3, 4,<br>TESTP0, TEST1,<br>TEST2, FS10 | 適用全端子合計              |      | -25  |          |      |
| 低レベル出力電流 | ピーク出力電流             | IOPL(1)   | ホ <sup>0</sup> -1, 3, 4,<br>TESTP0, TEST1,<br>TEST2, FS10 | 適用 1 端子当り            |      |      | 20       |      |
|          |                     | IOPL(2)   | ホ <sup>0</sup> -170                                       | 適用 1 端子当り            |      |      | 15       |      |
|          | 合計出力電流              | IOAL(1)   | TESTP0  | 適用全端子合計              |      |      | 40       |      |
|          |                     | IOAL(2)   | ホ <sup>0</sup> -14, TEST1, TEST2                          | 適用全端子合計              |      |      | 40       |      |
|          |                     | IOAL(3)   | ホ <sup>0</sup> -1   | 適用全端子合計              |      |      | 40       |      |
|          |                     | IOAL(4)   | ホ <sup>0</sup> -13, FS10                                  | 適用全端子合計              |      |      | 40       |      |
| IOAL(5)  | ホ <sup>0</sup> -170 | 適用全端子合計   |   |                      | 15   |      |          |      |
| 許容消費電力   | Pdmax               | QFP64   | Ta=5 ~ 50   |                      |      |      | 420      | mW   |
| 動作周囲温度   | Topr                |   |   |                      | 5    | ~    | 50       |      |
| 保存周囲温度   | Tstg                |   |   |                      | -55  | ~    | 125      |      |

## 2. 許容動作範囲 / Ta=5 ~ 50 , VSS=0V

| 項目              | 記号       | 適用端子・備考  | 条件                               | 規格                  |                |      |                | unit    |
|-----------------|----------|--|----------------------------------|---------------------|----------------|------|----------------|---------|
|                 |          |  |                                  | VDD[V]              | min.           | typ. | max.           |         |
| 動作電源電圧          | VDD(1)   | VDD1   | 0.98 $\mu$ s tCYC<br>400 $\mu$ s |                     | 3.25           |      | 3.8            | V       |
|                 | VDD(2)   | VDD2   |                                  |                     | 3.25           |      | 3.8            |         |
| メモリ保持電源電圧       | VHD      | VDD1   | HOLD モード時<br>RAM, レジスタ保持         |                     | 2.0            |      | 3.8            |         |
| 高レベル入力電圧        | VIH(1)   | TESTP0(シュミット)                                  | 出力ディセーブル                         | 3.25 ~ 3.8          | 0.4VDD<br>+0.9 |      | VDD            |         |
|                 | VIH(2)   | ・ボート1,4<br>・ボート72,73(シュミット)                    | 出力ディセーブル                         | 3.25 ~ 3.8          | 0.75VDD        |      | VDD            |         |
|                 | VIH(3)   | ・ボート70<br>ボート入力/割り込み側<br>・ボート71<br>・RES(シュミット) | 出力 Nch Tr. オフ                    | 3.25 ~ 3.8          | 0.75VDD        |      | VDD            |         |
|                 | VIH(4)   | ボート70<br>ウォッチドッグタイマ側                           | 出力 Nch Tr. オフ                    | 3.25 ~ 3.8          | 0.9VDD         |      | VDD            |         |
|                 | VIH(5)   | ボート3   | 出力ディセーブル                         | 3.25 ~ 3.8          | 0.75VDD        |      | VDD            |         |
|                 | VIH(6)   | RTRES(シュミット)                                   |                                  | VDD2=<br>3.25 ~ 3.8 | 0.75VDD        |      | VDD            |         |
|                 | VIH(7)   | FS/P, FSCLK, START,<br>FR/W, FSIO              |                                  | 3.25 ~ 3.8          | 0.9VDD         |      | VDD            |         |
|                 | VIH(8)   | A4, A5, A9, A10, A12,<br>A16, EP, CE, OE, WE   |                                  | 3.25 ~ 3.8          | 2.0            |      | VDD            |         |
| 低レベル入力電圧        | VIL(1)   | TESTP0(シュミット)                                  | 出力ディセーブル                         | 3.25 ~ 3.8          | VSS            |      | 0.2VDD         | V       |
|                 | VIL(2)   | ・ボート1,4<br>・ボート72,73(シュミット)                    | 出力ディセーブル                         | 3.25 ~ 3.8          | VSS            |      | 0.25VDD        |         |
|                 | VIL(3)   | ・ボート70<br>ボート入力/割り込み側<br>・ボート71<br>・RES(シュミット) | 出力 Nch Tr. オフ                    | 3.25 ~ 3.8          | VSS            |      | 0.25VDD        |         |
|                 | VIL(4)   | ボート70<br>ウォッチドッグタイマ側                           | 出力 Nch Tr. オフ                    | 3.25 ~ 3.8          | VSS            |      | 0.8VDD<br>-1.0 |         |
|                 | VIL(5)   | ボート3   | 出力ディセーブル                         | 3.25 ~ 3.8          | VSS            |      | 0.25VDD        |         |
|                 | VIL(6)   | RTRES(シュミット)                                   |                                  | VDD2=<br>3.25 ~ 3.8 | VSS            |      | 0.25VDD        |         |
|                 | VIL(7)   | FS/P, FSCLK, START,<br>FR/W, FSIO              |                                  | 3.25 ~ 3.8          | VSS            |      | 0.1VDD         |         |
|                 | VIL(8)   | A4, A5, A9, A10, A12,<br>A16, EP, CE, OE, WE   |                                  | 3.25 ~ 3.8          | VSS            |      | 0.8            |         |
| 命令サイクルタイム       | tCYC     |  |                                  | 3.25 ~ 3.8          | 0.98           |      | 400            | $\mu$ s |
| 発振周波数範囲<br>(注1) | FmCF(1)  | CF1, CF2                                       | ・6MHz セラミック<br>発振時<br>・図3 参照     | 3.25 ~ 3.8          | 5.88           | 6    | 6.12           | MHz     |
|                 | FmRC     |  | 内蔵 RC 発振                         | 3.25 ~ 3.8          | 0.4            | 0.8  | 2.0            |         |
| 発振安定時間<br>(注2)  | tmsCF(1) | CF1, CF2                                       | ・6MHz セラミック<br>発振時<br>・図3 参照     | 3.25 ~ 3.8          |                | 0.1  | 3.0            | ms      |

(注1) 発振定数は表1参照のこと。

## 3. 電気的特性 / Ta=5 ~ 50 , VSS=0V

| 項目                  | 記号      | 適用端子・備考                                     | 条件   | 規格         |         |        |      | unit |
|---------------------|---------|---|--|------------|---------|--------|------|------|
|                     |         |   |  | VDD[V]     | min.    | typ.   | max. |      |
| 高レベル<br>入力電流        | I1H(1)  | ボート1,3,4,<br>TESTP0                         | ・出力ディセーブル<br>・プルアップ MOS Tr.<br>オフ<br>・VIN=VDD1<br>(出力 Tr. のオフリー<br>ク電流を含む) | 3.25 ~ 3.8 |         |        | 1    | μA   |
|                     | I1H(2)  | プルアップ MOS<br>Tr. 無しのボート7                    | ・出力 Nch Tr. オフ<br>・VIN=VDD1<br>(出力 Tr. のオフリー<br>ク電流を含む)                    | 3.25 ~ 3.8 |         |        | 1    |      |
|                     | I1H(3)  | RES   | VIN=VDD1   | 3.25 ~ 3.8 |         |        | 1    |      |
|                     | I1H(4)  | A4, A5, A9, A10,<br>A12, A16,<br>CE, OE, WE | VIN=VDD1   | 3.25 ~ 3.8 |         |        | 1    |      |
| 低レベル<br>入力電流        | I1L(1)  | ボート1,3,4,<br>TESTP0                         | ・出力ディセーブル<br>・プルアップ MOS Tr.<br>オフ<br>・VIN=VSS<br>(出力 Tr. のオフリー<br>ク電流を含む)  | 3.25 ~ 3.8 | -1      |        |      |      |
|                     | I1L(2)  | プルアップ MOS<br>Tr. 無しのボート7                    | ・出力 Nch Tr. オフ<br>・VIN=VSS<br>(出力 Tr. のオフリー<br>ク電流を含む)                     | 3.25 ~ 3.8 | -1      |        |      |      |
|                     | I1L(3)  | RES   | VIN=VSS  | 3.25 ~ 3.8 | -1      |        |      |      |
|                     | I1L(4)  | A4, A5, A9, A10,<br>A12, A16,<br>CE, OE, WE | VIN=VSS  | 3.25 ~ 3.8 | -1      |        |      |      |
| 高レベル<br>出力電圧        | VOH(1)  | TESTP0                                      | IOH=-1mA   | 3.25 ~ 3.8 | VDD-0.4 |        |      | V    |
|                     | VOH(2)  | CMOS 出力の<br>ボート1,3,4<br>TEST1, TEST2        | IOH=-0.1mA   | 3.25 ~ 3.8 | VDD-0.5 |        |      |      |
|                     | VOH(3)  | FSIO  | IOH=-0.1mA   | 3.25 ~ 3.8 | VDD-0.5 |        |      |      |
| 低レベル<br>出力電圧        | VOL(1)  | ボート1,3,4<br>TEST1, TEST2,<br>TESTP0         | ・IOL=1mA<br>・全端子の1本当りの<br>IOLは1mA以下の時                                      | 3.25 ~ 3.8 |         |        | 0.4  |      |
|                     | VOL(2)  | ボート70                                       | IOL=0.5mA  | 3.25 ~ 3.8 |         |        | 0.4  |      |
|                     | VOL(3)  | FSIO  | IOL=0.5mA  | 3.25 ~ 3.8 |         |        | 0.4  |      |
| プルアップ<br>MOS Tr. 抵抗 | Rpu(1)  | ・ボート1,3,4,<br>・ボート7, TESTP0                 | VOH=0.9VDD   | 3.25 ~ 3.8 | 25      | 60     | 120  | k    |
|                     | Rpu(2)  | FSCLK                                       | VOH=0.9VDD   | 3.25 ~ 3.8 | 250     | 500    | 1000 |      |
|                     | Rpu(3)  | RTRES                                       | VOH=0.9VDD<br>VDD2=3.25 ~ 3.8V   | 3.25 ~ 3.8 | 100     | 200    | 400  |      |
| プルダウン<br>MOS Tr. 抵抗 | Rpd     | FSIO, FS/P, EP<br>START, FR/W               | VOL=0.1VDD   | 3.25 ~ 3.8 | 250     | 500    | 1000 |      |
| ヒステリシス<br>電圧        | VHIS(1) | ・ボート1,3,4<br>・ボート7, TESTP0<br>・RES          | 出力ディセーブル   | 3.25 ~ 3.8 |         | 0.1VDD |      | V    |
|                     | VHIS(2) | RTRES                                       | VDD2=3.25 ~ 3.8V   | 3.25 ~ 3.8 |         | 0.1VDD |      |      |
| 端子容量                | CP      | 全端子   | ・f=1MHz<br>・被測定端子以外は<br>VIN=VSS<br>・Ta=25                                  | 3.25 ~ 3.8 |         | 10     |      | pF   |

## 4. シリアル入出力特性 / Ta=5 ~ 50 , VSS=0V

| 項目       |                         | 記号       | 適用端子・備考    | 条件   | 規格   |            |      |                |      |      |
|----------|-------------------------|----------|------------|--|--|------------|------|----------------|------|------|
|          |                         |          |            |  | VDD[V]                                     | min.       | typ. | max.           | unit |      |
| シリアルクロック | 入力クロック                  | 周期       | tCKCY(1)   | SCK0   | 図 5 参照                                     | 3.25 ~ 3.8 | 2    |                |      | tCYC |
|          |                         | 低レベルパルス幅 | tCKL(1)    |  |  |            | 1    |                |      |      |
|          |                         | 高レベルパルス幅 | tCKH(1)    |  |  |            | 1    |                |      |      |
|          | 出力クロック                  | 周期       | tCKCY(2)   | SCK0   | ・オープンドレイン出力時は 1k のプルアップ抵抗を外付けする<br>・図 5 参照 | 3.25 ~ 3.8 | 2    |                |      |      |
|          |                         | 低レベルパルス幅 | tCKL(2)    |  |  |            |      | 1/2tCKCY       |      |      |
|          |                         | 高レベルパルス幅 | tCKH(2)    |  |  |            |      | 1/2tCKCY       |      |      |
| シリアル入力   | データセットアップ時間             | tICK     | SIO<br>SBO | ・SCK0 の立ち上がりに対して規定する<br>・図 5 参照                                    | 3.25 ~ 3.8                                 | 0.4        |      |                | μs   |      |
|          | データホールド時間               | tCKI     |            |  |  | 0.4        |      |                |      |      |
| シリアル出力   | シリアルクロックが外部クロック時の出力遅延時間 | tCKO(1)  | S00<br>SBO | ・SCK0 の立ち下がりに対して規定する<br>・オープンドレイン出力時は 1k のプルアップ抵抗を外付けする<br>・図 5 参照 | 3.25 ~ 3.8                                 |            |      | 7/12tCYC<br>+1 |      |      |
|          | シリアルクロックが内部クロック時の出力遅延時間 | tCKO(2)  | S00<br>SBO |  | 3.25 ~ 3.8                                 |            |      | 1/3tCYC<br>+1  |      |      |

## 5. パルス入力条件 / Ta=5 ~ 50 , VSS=0V

| 項目         | 記号                 | 適用端子・備考  | 条件  | 規格         |      |      |      |      |
|------------|--------------------|--|---|------------|------|------|------|------|
|            |                    |  |   | VDD[V]     | min. | typ. | max. | unit |
| 高・低レベルパルス幅 | tPIH(1)<br>tPIL(1) | ・INT0, INT1<br>・INT2/TOIN<br>・図 6 参照           | ・割り込み要因フラグを確実にセットできる。<br>・タイマ/カウンタ 0 がパルスカウントできる。 | 3.25 ~ 3.8 | 1    |      |      | tCYC |
|            | tPIH(2)<br>tPIL(2) | ・ノイズ除去フィルタの時定数が 1/1 の場合の INT3/TOIN<br>・図 6 参照  |   | 3.25 ~ 3.8 | 2    |      |      |      |
|            | tPIH(3)<br>tPIL(3) | ・ノイズ除去フィルタの時定数が 1/16 の場合の INT3/TOIN<br>・図 6 参照 |   | 3.25 ~ 3.8 | 32   |      |      |      |
|            | tPIH(4)<br>tPIL(4) | ・ノイズ除去フィルタの時定数が 1/64 の場合の INT3/TOIN<br>・図 6 参照 |   | 3.25 ~ 3.8 | 128  |      |      |      |
|            | tPIL(5)            | ・RES<br>・図 6 参照                                | 確実にリセットできる。                                       | 3.25 ~ 3.8 | 200  |      |      | μs   |
|            | tPIL(6)            | ・RTRES<br>・図 6 参照                              | 確実にリセットできる。<br>VDD2=3.25 ~ 3.8V                   | 3.25 ~ 3.8 | 200  |      |      |      |

## 6. 消費電流特性 / Ta=5 ~ 50 , VSS=0V

| 項目                       | 記号         | 適用端子<br>・備考 | 条件  | 規格         |      |      |      |         |
|--------------------------|------------|-------------|---|------------|------|------|------|---------|
|                          |            |             |   | VDD[V]     | min. | typ. | max. | unit    |
| 通常動作時<br>消費電流<br>(注4)    | IDDOP(1)   | VDD1        | ・FmCF=6MHz セラミック発振時<br>・OCR7=1<br>・システムクロックは 6MHz 側<br>・内蔵 RC 発振は停止<br>・図7参照              | 3.25 ~ 3.8 |      | 10   | 25   | mA      |
|                          | IDDOP(2)   |             | ・FmCF=0Hz (発振停止)<br>・システムクロックは<br>内蔵 RC 発振<br>・図7参照                                       | 3.25 ~ 3.8 |      | 2    | 5    |         |
| HALT モード<br>消費電流<br>(注4) | IDDHALT(1) | VDD1        | ・HALT モード<br>・FmCF=6MHz セラミック発振時<br>・OCR7=1<br>・システムクロックは 6MHz 側<br>・内蔵 RC 発振は停止<br>・図7参照 | 3.25 ~ 3.8 |      | 3    | 7    | mA      |
|                          | IDDHALT(2) |             | ・HALT モード<br>・FmCF=0Hz (発振停止)<br>・システムクロックは<br>内蔵 RC 発振<br>・図7参照                          | 3.25 ~ 3.8 |      | 250  | 650  |         |
| HOLD モード<br>消費電流<br>(注4) | IDDHOLD(1) | VDD1        | ・HOLD モード<br>・図7参照  | 3.25 ~ 3.8 |      | 5    | 20   | $\mu$ A |

\*OCR7 : 発振制御レジスタのビット7

(注4) 消費電流は出力Tr. プルアップMOS Tr. およびプルダウンMOS Tr. に流れる電流を含まない。

## 7. 電源投入タイミング

| 記号        | 項目               | 規格値(max) | 単位      |
|-----------|------------------|----------|---------|
| tPU-READ  | 電源投入からリード動作までの時間 | 100      | $\mu$ s |
| tPU-WRITE | 電源投入からライト動作までの時間 | 5        | ms      |

表1 セラミック発振保証定数 (メインクロック)

| 発振の種類       | メーカー | 発振子        | C1   | C2   |
|-------------|------|------------|------|------|
| 6MHzセラミック発振 | ムラタ  | CSA6.00MG  | 33pF | 33pF |
|             |      | CST6.00MGW | 内蔵   |      |
|             | 京セラ  | KBR-6.0MSA | 33pF | 33pF |

\*C1, C2はK公差(±10%), SL特性を使用すること。

- (注意) ・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。  
 ・上記以外の発振子を用いた場合には特性を保証できない。

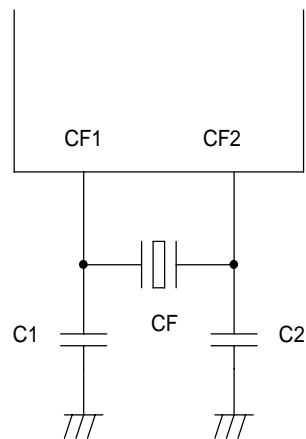


図1 セラミック発振回路

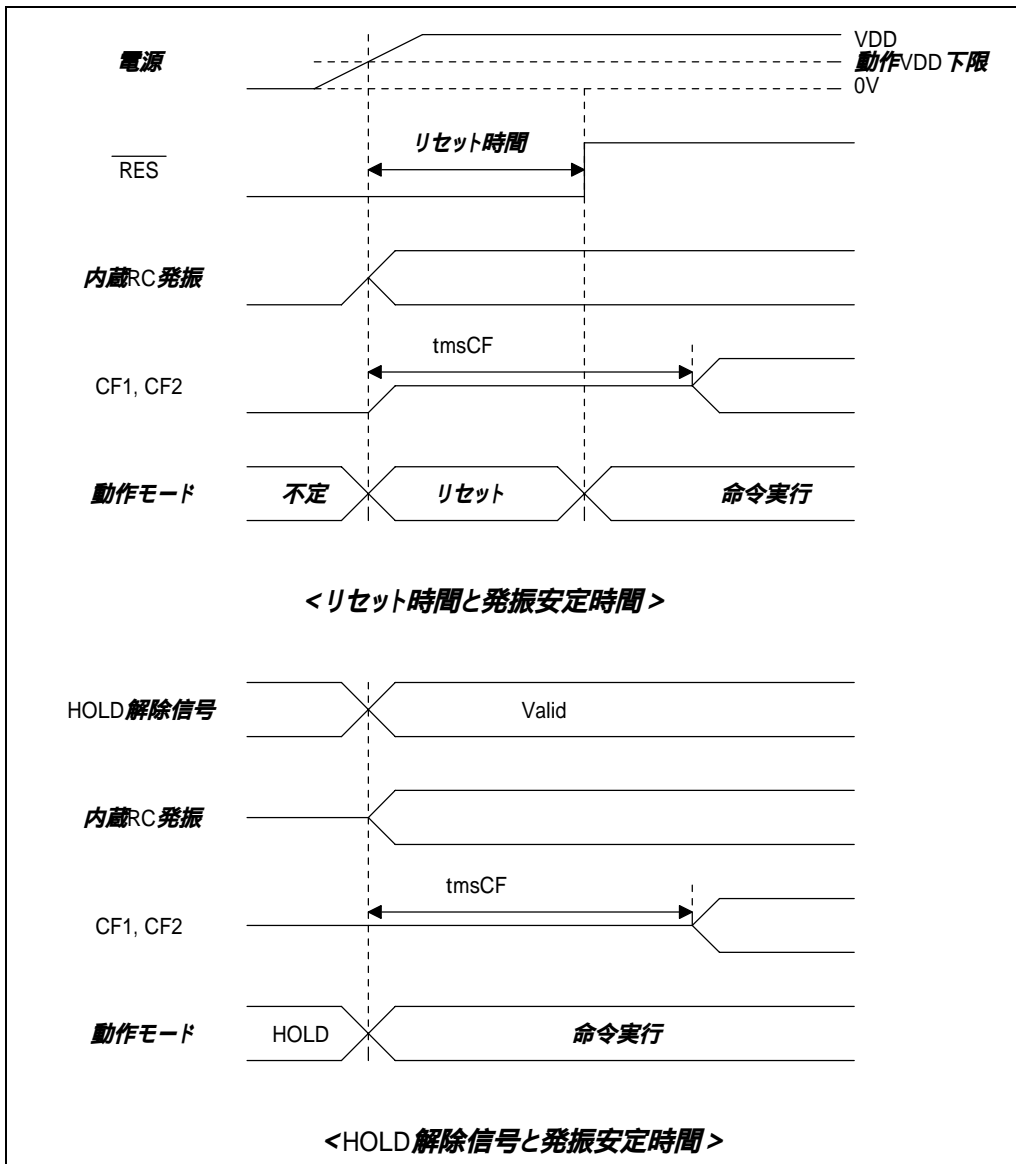
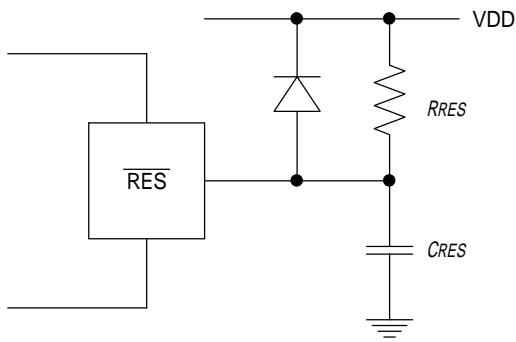


図 2 発振安定時間



(注意)  
電源が動作電源電圧の下限を上回った後、  
200  $\mu$ s までは、かならずリセットがか  
かるように CRES, RRES の値を決め  
ること。

図 3 リセット回路

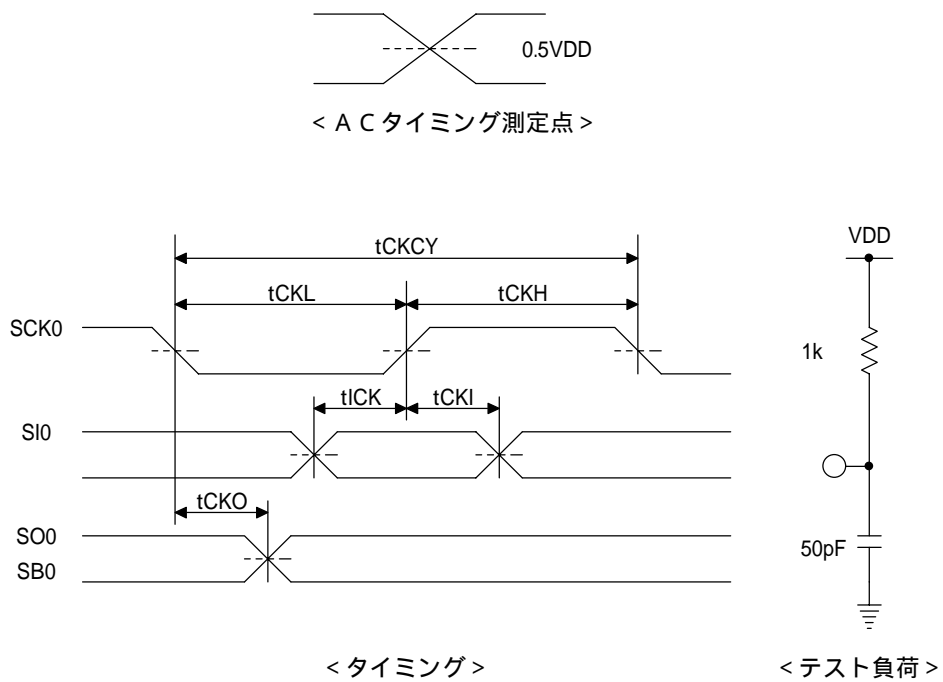


図4 シリアル入出力テスト条件

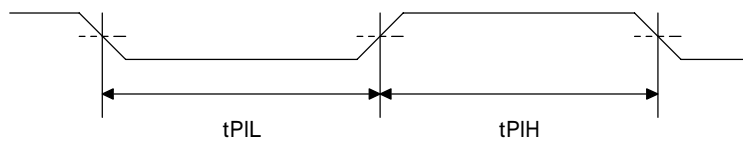


図5 パルス入力タイミング条件

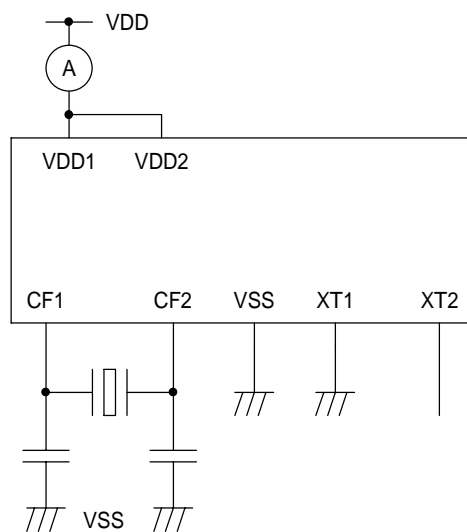


図6 消費電流測定回路