Mega Drive Circuit (Sega Mega-Tech)

17 мин Копия

Здесь представлены полезные схемы расположения контактов и подробная информация для проверки компонентов системы Mega Drive.

315-5313 (VDP)

315-5313 — это основной видеопроцессор.

Контакты VD0-VD15 (с 55 по 70) — это контакты данных 68 кбит/с.

Контакты VA1-VA23 (с 71 по 93) — это контакты адресной памяти 68 кбит/с.

!BR (вывод 99) — это выходной сигнал микросхемы 315-5313, который в низком состоянии указывает на то, что она стала ведущим устройством шины. Этот вывод подключается к микросхеме 315-5347 (вывод 4), чтобы сообщить ей об этом. Микросхема 315-5347 (вывод 19) подключается к входу 68k !BR (вывод 13). Этот сигнал генерируется один раз за кадр. Этот сигнал присутствует только после загрузки игры.

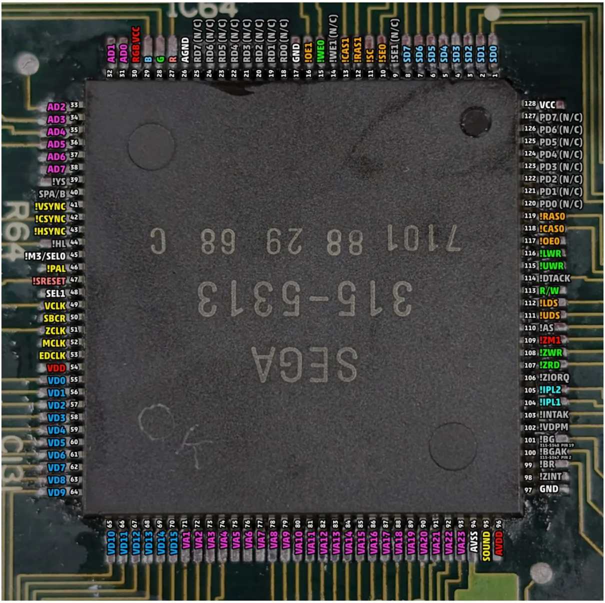
!BGACK (вывод 100) — это выходной сигнал, подаваемый на микросхему 315-5348. Вывод 315-5313 подключается к 315-5348 (вывод 17). Сигнал должен быть низким, чтобы указать, что 315-5313 хочет быть ведущим устройством шины. Когда он высокий, 315-5313 не управляет адресной/информационной шиной.

> Помните, что если !BR находится в высоком состоянии, этот вывод игнорируется, поскольку он подключен к нескольким устройствам, и если !BR находится в высоком состоянии, то управление запрашивает не 315-5313, поэтому сигналы вывода управляются другим устройством.

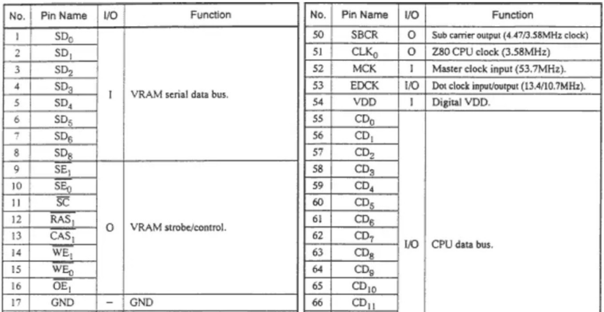
!BG (контакт 101) — это входной сигнал для 315-5313, поступающий от 68k. Контакт 315-5313 подключается к 315-5348 (контакт 19). Контакт 68k подключается к 315-5348 (контакт 2). Сигнал должен содержать несколько импульсов в начале каждого кадра. Этот сигнал присутствует только после загрузки игры.

SEL1 (вывод 48) — это управление вводом/выводом тактовой частоты 68 кГц. Он всегда должен быть в низком состоянии.

VCLK (вывод 49) — это тактовый сигнал частотой 68 кГц, который должен составлять 7,67 МГц.

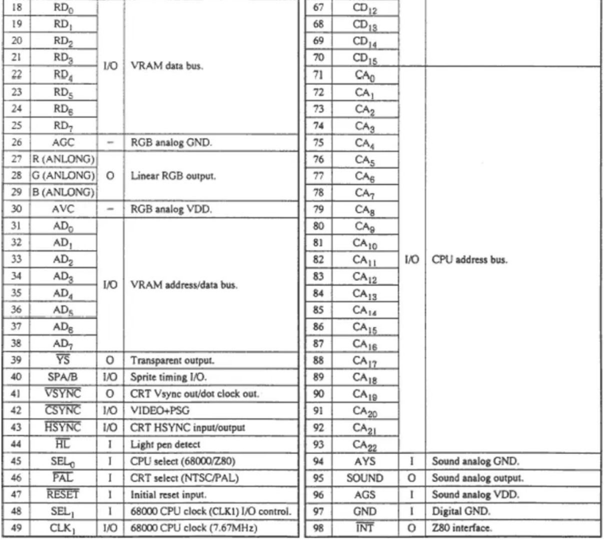

SEGA
315-5313
1 SD0
2 SD1
3 SD2
4 SD3
5 SD4
6 SD5
7 SD6
8 SD7
9 !SE1(N/C)
10 !SE0
11 !SC
12 !RAS1
13 !CAS1
14 !WE1(N/C)
15 !WE0
16 !OE1
17 GND
18 RD0(N/C)
19 RD1(N/C)
20 RD2(N/C)
21 RD3(N/C)
22 RD4(N/C)
23 RD5(N/C)
24 RD6(N/C)
25 RD7(N/C)
26 AGND
27 R
28 G
29 B
30 RGBVCC
31 AD0
32 AD1
33 AD2
34 AD3
35 AD4
36 AD5
37 AD6
38 AD7
39 !YS
40 SPA/B
41 !VSYNC
42 !CSYNC
43 !HSYNC
44 !HL
45 !M3/SEL0
46 !PAL
47 !SRESET
48 SEL1
49 VCLK
50 SBCR
51 ZCLK
52 MCLK
53 EDCLK
54 VDD
55 VD0
56 VD1
57 VD2
58 VD3
59 VD4
60 VD5
61 VD6
62 VD7
63 VD8
64 VD9
65 VD10
66 VD11
67 VD12
68 VD13
69 VD14
70 VD15
71 VA1
72 VA2
73 VA3
74 VA4
75 VA5
76 VA6
77 VA7
78 VA8
79 VA9
80 VA10
81 VA11
82 VA12
83 VA13
84 VA14
85 VA15
86 VA16
87 VA17
88 VA18
89 VA19
90 VA20
91 VA21
92 VA22
93 VA23
94 AVSS
95 SOUND
96 AVDD
97 GND
98 !ZINT
99 !BR
100 !BGAK
315-5347 PIN 2
101 !BG
315-5348 PIN 19
102 !VDPM
103 !INTAK
104 !IPL1
105 !IPL2
106 !ZIORQ
107 !ZRD
108 !ZWR
109 !ZM1
110 !AS
111 !UDS
112 !LDS
113 R/W
114 !DTACK
115 !UWR
116 !LWR
117 !OE0
118 !CAS0
119 !RAS0
120 PD0(N/C)
121 PD1(N/C)
122 PD2(N/C)
123 PD3(N/C)
124 PD4(N/C)
125 PD5(N/C)
126 PD6(N/C)
127 PD7(N/C)
128 VCC

Распиновка 315-5313



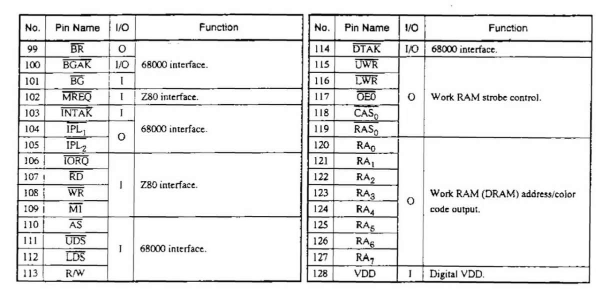
No.	Pin Name	I/O	Function
1	SD_0	I	VRAM serial data bus.
2	SD_1		
3	SD_2		
4	SD_3		
5	SD_4		
6	SD_5		
7	SD_6		
8	SD_8		
9	$\overline{SE_1}$	O	VRAM strobe/control.
10	$\overline{SE_0}$		
11	$\overline{SC}$		
12	$\overline{RAS_1}$		
13	$\overline{CAS_1}$		
14	$\overline{WE_1}$		
15	$\overline{WE_0}$		
16	$\overline{OE_1}$		
17	GND	–	GND

No.	Pin Name	I/O	Function
50	SBCR	O	Sub carrier output (4.47/3.58MHz clock)
51	CLK_0	O	Z80 CPU clock (3.58MHz)
52	MCK	I	Master clock input (53.7MHz).
53	EDCK	I/O	Dot clock input/output (13.4/10.7MHz).
54	VDD	I	Digital VDD.
55	CD_0	I/O	CPU data bus.
56	CD_1		
57	CD_2		
58	CD_3		
59	CD_4		
60	CD_5		
61	CD_6		
62	CD_7		
63	CD_8		
64	CD_9		
65	CD_{10}		
66	CD_{11}		



18	RD$_0$	I/O	VRAM data bus.	67	CD$_{12}$		
19	RD$_1$			68	CD$_{13}$		
20	RD$_2$			69	CD$_{14}$		
21	RD$_3$			70	CD$_{15}$		
22	RD$_4$			71	CA$_0$	I/O	CPU address bus.
23	RD$_5$			72	CA$_1$		
24	RD$_6$			73	CA$_2$		
25	RD$_7$			74	CA$_3$		
26	AGC	–	RGB analog GND.	75	CA$_4$		
27	R (ANLONG)	O	Linear RGB output.	76	CA$_5$		
28	G (ANLONG)			77	CA$_6$		
29	B (ANLONG)			78	CA$_7$		
30	AVC	–	RGB analog VDD.	79	CA$_8$		
31	AD$_0$	I/O	VRAM address/data bus.	80	CA$_9$		
32	AD$_1$			81	CA$_{10}$		
33	AD$_2$			82	CA$_{11}$		
34	AD$_3$			83	CA$_{12}$		
35	AD$_4$			84	CA$_{13}$		
36	AD$_5$			85	CA$_{14}$		
37	AD$_6$			86	CA$_{15}$		
38	AD$_7$			87	CA$_{16}$		
39	$\overline{\text{YS}}$	O	Transparent output.	88	CA$_{17}$		
40	SPA/B	I/O	Sprite timing I/O.	89	CA$_{18}$		
41	$\overline{\text{VSYNC}}$	O	CRT Vsync out/dot clock out.	90	CA$_{19}$		
42	$\overline{\text{CSYNC}}$	I/O	VIDEO+PSG	91	CA$_{20}$		
43	$\overline{\text{HSYNC}}$	I/O	CRT HSYNC input/output	92	CA$_{21}$		
44	$\overline{\text{HL}}$	I	Light pen detect	93	CA$_{22}$		
45	SEL$_0$	I	CPU select (68000/Z80)	94	AYS	I	Sound analog GND.
46	$\overline{\text{PAL}}$	I	CRT select (NTSC/PAL)	95	SOUND	O	Sound analog output.
47	$\overline{\text{RESET}}$	I	Initial reset input.	96	AGS	I	Sound analog VDD.
48	SEL$_1$	I	68000 CPU clock (CLK1) I/O control.	97	GND	I	Digital GND.
49	CLK$_1$	I/O	68000 CPU clock (7.67MHz)	98	$\overline{\text{INT}}$	O	Z80 interface.

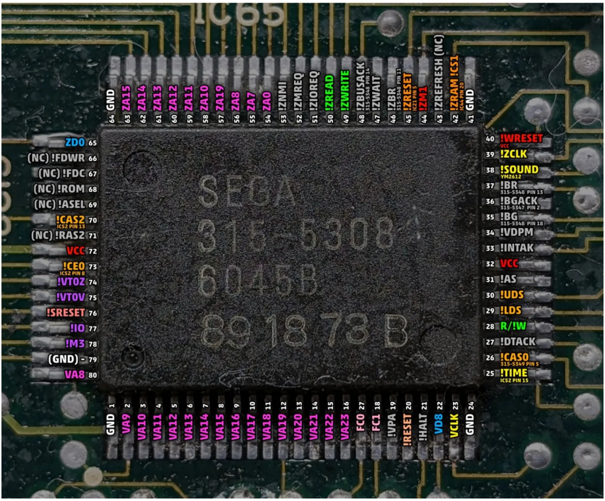
Таблица контактов 315-5313



No.	Pin Name	I/O	Function	No.	Pin Name	I/O	Function
99	$\overline{\text{BR}}$	O	68000 interface.	114	$\overline{\text{DTAK}}$	I/O	68000 interface.
100	$\overline{\text{BGAK}}$	I/O		115	$\overline{\text{UWR}}$	O	Work RAM strobe control.
101	$\overline{\text{BG}}$	I		116	$\overline{\text{LWR}}$		
102	$\overline{\text{MREQ}}$	I	Z80 interface.	117	$\overline{\text{OE0}}$		
103	$\overline{\text{INTAK}}$	I	68000 interface.	118	$\overline{\text{CAS}_0}$		
104	$\overline{\text{IPL}_1}$	O		119	$\overline{\text{RAS}_0}$		
105	$\overline{\text{IPL}_2}$			120	RA$_0$	O	Work RAM (DRAM) address/color code output.
106	$\overline{\text{IORQ}}$	I	Z80 interface.	121	RA$_1$		
107	$\overline{\text{RD}}$			122	RA$_2$		
108	$\overline{\text{WR}}$			123	RA$_3$		
109	$\overline{\text{MI}}$			124	RA$_4$		
110	$\overline{\text{AS}}$	I	68000 interface.	125	RA$_5$		
111	$\overline{\text{UDS}}$			126	RA$_6$		
112	$\overline{\text{LDS}}$			127	RA$_7$		
113	R/W			128	VDD	I	Digital VDD.

Таблица контактов 315-5313

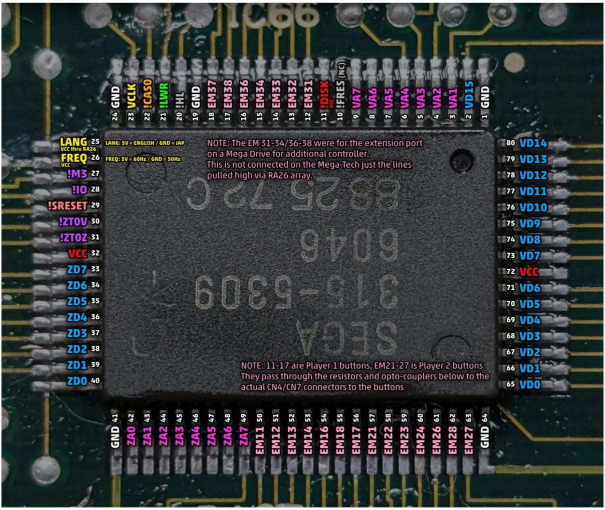
315-5308


IC65
SEGA
315-5308
6045B
891873B
64 GND
63 ZA15
62 ZA14
61 ZA13
60 ZA12
59 ZA11
58 ZA10
57 ZA19
56 ZA8
55 ZA7
54 ZA0
53 !ZNMI
52 !ZMREQ
51 !ZIOREQ
50 !ZREAD
49 !ZWRITE
48 !ZBUSACK 315-5348 PIN 14
47 !ZWAIT
46 !ZBR 315-5348 PIN 11
45 !ZRESET IC21 PIN 5
44 !ZM1
43 !ZREFRESH (NC)
42 !ZRAM !CS1 IC44 PIN 20
41 GND
40 !WRESET VCC
39 !ZCLK
38 !SOUND YM2612
37 !BR 315-5348 PIN 13
36 !BGACK 315-5347 PIN 2
35 !BG 315-5348 PIN 18
34 !VDPM
33 !INTAK
32 VCC
31 !AS
30 !UDS
29 !LDS
28 R/!W
27 !DTACK
26 !CAS0 315-5349 PIN 5
25 !TIME IC52 PIN 15
ZD0 65
(NC) !FDWR 66
(NC) !FDC 67
(NC) !ROM 68
(NC) !ASEL 69
!CAS2 IC52 PIN 13 70
(NC) !RAS2 71
VCC 72
!CE0 IC52 PIN 8 73
!VTOZ 74
!VTOV 75
!SRESET 76
!IO 77
!M3 78
(GND) - 79
VA8 80
GND 1
VA9 2
VA10 3
VA11 4
VA12 5
VA13 6
VA14 7
VA15 8
VA16 9
VA17 10
VA18 11
VA19 12
VA20 13
VA21 14
VA22 15
VA23 16
FC0 27
FC1 18
!VPA 19
!RESET 20
!HALT 21
VD8 22
VCLK 23
GND 24

Распиновка 315-5308

315-5309

Устройство 315-5309 отвечает за обработку портов пользовательского контроллера, порта расширения и регистра версий (язык, регион).


IC66
SEGA
315-5309
6046
8825 72C
24 GND
23 VCLK
22 !CAS0
21 !LWR
20 !HL
19 GND
18 EM37
17 EM38
16 EM36
15 EM34
14 EM33
13 EM32
12 EM31
11 !DISK VCC
10 !FRES (NC)
9 VA7
8 VA6
7 VA5
6 VA4
5 VA3
4 VA2
3 VA1
2 VD15
1 GND
LANG 25 VCC thru RA26
FREQ 26 VCC
!M3 27
!IO 28
!SRESET 29
!ZTOV 30
!ZTOZ 31
VCC 32
ZD7 33
ZD6 34
ZD5 35
ZD4 36
ZD3 37
ZD2 38
ZD1 39
ZD0 40
80 VD14
79 VD13
78 VD12
77 VD11
76 VD10
75 VD9
74 VD8
73 VD7
72 VCC
71 VD6
70 VD5
69 VD4
68 VD3
67 VD2
66 VD1
65 VD0
GND 41
ZA0 42
ZA1 43
ZA2 44
ZA3 45
ZA4 46
ZA5 47
ZA6 48
ZA7 49
EM11 50
EM12 51
EM13 52
EM14 53
EM16 54
EM18 55
EM17 56
EM21 57
EM22 58
EM23 59
EM24 60
EM26 61
EM28 62
EM27 63
GND 64

LANG: 5V = ENGLISH / GND = JAP

FREQ: 5V = 60Hz / GND = 50Hz

NOTE: The EM 31-34/36-38 were for the extension port on a Mega Drive for additional controller. This is not connected on the Mega-Tech just the lines pulled high via RA26 array.

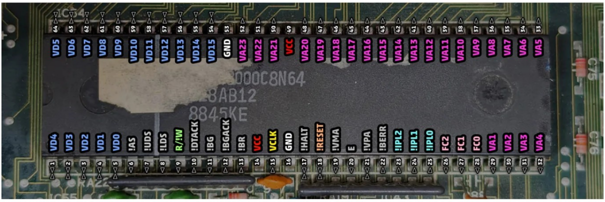
NOTE: 11-17 are Player 1 buttons, EM21-27 is Player 2 buttons They pass through the resistors and opto-couplers below to the actual CN4/CN7 connectors to the buttons

Распиновка 315-5309

68K ЦП

Процессор 68k используется для обработки и чтения игровых данных, а также для запуска игры.

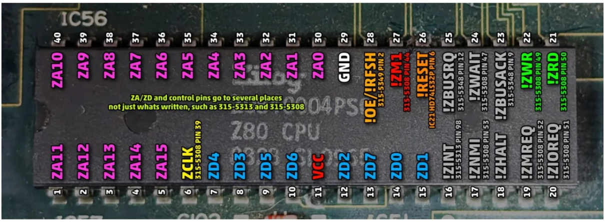
Сигнал !BGACK (вывод 12) управляется различными логическими сигналами, поступающими на микросхему 315-5348. Вывод 68k подключается к микросхеме 315-5348 (вывод 4). Сигнал должен быть высоким, чтобы позволить микросхеме 68k работать (что означает, что никакая другая шина не управляет линией).


64 VD5
63 VD6
62 VD7
61 VD8
60 VD9
59 VD10
58 VD11
57 VD12
56 VD13
55 VD14
54 VD15
53 GND
52 VA23
51 VA22
50 VA21
49 VCC
48 VA20
47 VA19
46 VA18
45 VA17
44 VA16
43 VA15
42 VA14
41 VA13
40 VA12
39 VA11
38 VA10
37 VA9
36 VA8
35 VA7
34 VA6
33 VA5
1 VD4
2 VD3
3 VD2
4 VD1
5 VD0
6 !AS
7 !UDS
8 !LDS
9 R/!W
10 !DTACK
11 !BG
12 !BGACK
13 !BR
14 VCC
15 VCLK
16 GND
17 !HALT
18 !RESET
19 !VMA
20 E
21 !VPA
22 !BERR
23 !IPL2
24 !IPL1
25 !IPL0
26 FC2
27 FC1
28 FC0
29 VA1
30 VA2
31 VA3
32 VA4

Распиновка 68k

Процессор Z80

Сигнал !ZINT (вывод 16) поступает с выхода сигнала !ZINT (вывод 98) микросхемы 315-5313 и один раз за кадр подает низкий уровень (то есть с частотой 50 или 60 Гц).


IC56
40 ZA10
39 ZA9
38 ZA8
37 ZA7
36 ZA6
35 ZA5
34 ZA4
33 ZA3
32 ZA2
31 ZA1
30 ZA0
29 GND
28 !OE/!RFSH 315-5349 PIN 2
27 !ZM1 315-5308 PIN 44
26 !RESET IC21 HD74LS32P PIN 6
25 !ZBUSRQ 315-5348 PIN 12
24 !ZWAIT 315-5308 PIN 47
23 !ZBUSACK 315-5348 PIN 9
22 !ZWR 315-5308 PIN 49
21 !ZRD 315-5308 PIN 50
ZA/ZD and control pins go to several places
not just whats written, such as 315-5313 and 315-5308
Z80 CPU
1 ZA11
2 ZA12
3 ZA13
4 ZA14
5 ZA15
6 ZCLK 315-5308 PIN 39
7 ZD4
8 ZD3
9 ZD5
10 ZD6
11 VCC
12 ZD2
13 ZD7
14 ZD0
15 ZD1
16 !ZINT 315-5313 PIN 98
17 !ZNMI 315-5308 PIN 53
18 !ZHALT
19 !ZMREQ 315-5308 PIN 52
20 !ZIOREQ 315-5308 PIN 51

Распиновка Z80

Видеопамять

Контакты AD0-AD7 (с 31 по 38) — это контакты адреса/данных видеопамяти.

Контакты SD0-SD7 (с 1 по 8) — это контакты данных видеопамяти.

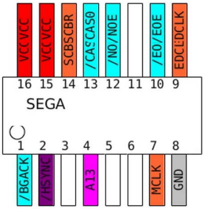
!SE0, !SC, !RAS1, !CAS1, !WE0, !OE1 (контакты с 9 по 16) — это контакты управления ходом для видеопамяти.

> Все эти выводы напрямую подключены к двум микросхемам видеопамяти (MB81461).

Генератор тактовой частоты (315-5345)

Специально разработанная микросхема Sega 315-5345 отвечает за генерацию EDCLK (внешний тактовый сигнал в режиме H40, основанный на входах HSYNC и MCLK) и обновление 68 КБ ОЗУ.

(вывод 16) установлен **заводской резистор 1,2 кОм** Между выводом **!HSYNC** (вывод 2) и **VCC**, который поддерживает **высокий уровень сигнала !HSYNC** до тех пор, пока он не будет понижен.


VCCVCC
VCCVCC
SCBSCBR
/CASCAS0
/NO/NOE
/EO/EOE
EDCLDCLK
16
15
14
13
12
11
10
9
SEGA
1
2
3
4
5
6
7
8
/BGACK
/HSYNC
A13
MCLK
GND

Сброс сигналов

В моделях 315-5313, 315-5309 и 315-5308 часто встречаются сигналы сброса системы.

!WRES (Жесткая перезагрузка)

Входной сигнал на 315-5308. Высокий уровень для предотвращения сброса, низкий для сброса. Закорочен непосредственно на VCC, поэтому никогда не находится в состоянии сброса.

!МИСТЕР

Подключено к моделям 315-5308 и 315-5309.

Микросхема 315-5313 — это драйвер, который выдает этот сигнал для управления сбросом микросхем 315-5308 и 315-5309.

В моделях 315-5308 и 315-5309 этот контакт по умолчанию находится вне состояния сброса, но в модели 315-5313 при необходимости он переходит в низкое состояние.

Управление 68k также осуществляется с помощью модуля 315-5308, который использует тот же алгоритм сброса, что и !SRES.

!VRES (Сброс 68k)

Выход Open Collector на частоте 68 кГц.

Высокий уровень — для предотвращения сброса, низкий — для сброса.

Для сброса настроек 68k можно понизить уровень сигнала, или же 68k может сброситься сам, если сброс выполнен программно.

Этот контакт управляется модулем 315-5308.

!MRES (Сброс картриджа)

На Mega Drive это позволяет играм отправлять сигнал **!MRES** в низкое состояние. На Mega-Tech сигнал подается на картридж через выходной контакт 18 буфера IC52, а входной контакт 2 подключен к сигналу **!SRES** микросхемы 315-5308.

Таким образом, в конечном итоге картридж не будет сброшен до тех пор, пока работают логические элементы 315.

!FRES (Сброс порта расширения)

На Mega-Tech не подключено, контакт 315-5309, контакт 10.

!ZRESET (Сброс Z80)

Сброс микроконтроллера Mega Drive Z80 контролируется микросхемой 315-5308 на контакте 45.

Выход RGB

R, G и B (контакты 27, 28, 29) — это аналоговые выходы RGB.

Эти резисторы/транзисторы/конденсаторы подключаются к резисторам/транзисторам/конденсаторам, расположенным рядом с RGB1, прежде чем выйти из разъема RGB1.

!CSYNC (вывод 42) подключается к буферу 74LS125 (вход вывода 9 микросхемы IC69) над разъемом RGB1.

Выходной контакт 10 подключается к контакту 4 разъема RGB1.

Видеосигналы

!VSYNC (вывод 41) и !HSYNC (вывод 43) должны быть допустимыми сигналами VSYNC/HSYNC с логическим уровнем 5 В.

!PAL (контакт 46) имеет высокий уровень для 60 Гц и низкий для 50 Гц.

Часы

EDCLK (вывод 53) — это тактовый сигнал микросхемы (13,42 МГц или 10,7 МГц).

MCLK (вывод 52) — это главный тактовый генератор (53,7 МГц).

ZCLK (вывод 51) — это тактовая частота процессора Z80 (3,58 МГц).

SBCR (вывод 50) — это тактовый сигнал субнесущей цветовой частоты (3,58 МГц или 4,43 МГц).

VCLK (вывод 49) — это тактовый сигнал частотой 68 кГц, который должен составлять 7,67 МГц.

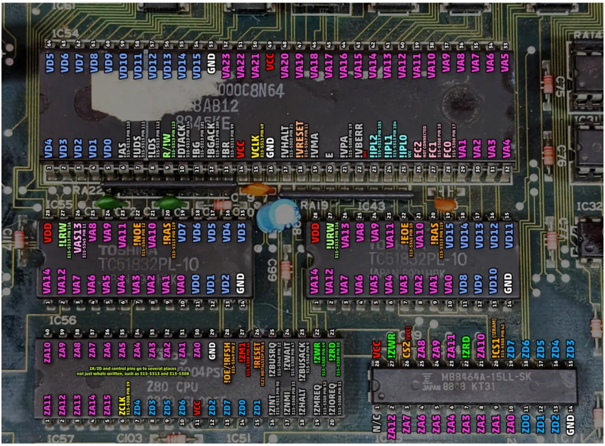
Вспомогательные сигналы

!M3/SEL0 предназначен для выбора процессора (переключение между 68k и Z80).

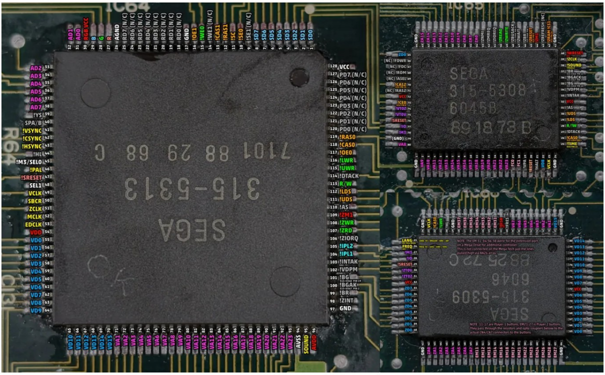
Наблюдая за работающими консолями, я ни разу не видел, чтобы она делала что-либо, кроме как поддерживала высокий логический уровень.

Проверки отслеживания

Если вы хотите начать с проверки целостности основных логических дорожек 68k/Z80/RAM и 315, вот схема дорожек.


VD5 VD6 VD7 VD8 VD9 VD10 VD11 VD12 VD13 VD14 VD15 GND VA23 VA22 VA21 VCC VA20 VA19 VA18 VA17 VA16 VA15 VA14 VA13 VA12 VA11 VA10 VA9 VA8 VA7 VA6 VA5
VD4 VD3 VD2 VD1 VD0 !AS !UDS !LDS R/!W !DTACK !BG !BGACK !BR VCC VCLK GND !VHALT !VRESET !VMA E !VPA !VBERR !IPL2 !IPL1 !IPL0 FC2 FC1 FC0 VA1 VA2 VA3 VA4
VDD !LRW VAS13 VA8 VA9 VA11 !NOE VA10 !RAS VD7 VD6 VD5 VD4 VD3
VA14 VA12 VA7 VA6 VA5 VA4 VA3 VA2 VA1 VA0 VD0 VD1 VD2 GND
VDD !URW VA13 VA8 VA9 VA11 !EOE VA10 !RAS VD15 VD14 VD13 VD12 VD11
VA14 VA12 VA7 VA6 VA5 VA4 VA3 VA2 VA1 VA0 VD8 VD9 VD10 GND
ZA10 ZA9 ZA8 ZA7 ZA6 ZA5 ZA4 ZA3 ZA2 ZA1 ZA0 GND !OE/!RFSH !ZM1 !RESET !ZBUSRQ !ZWAIT !ZBUSACK !ZWR !ZRD
ZA/ZD and control pins go to several places not just whats written, such as 315-5313 and 315-5308
ZA11 ZA12 ZA13 ZA14 ZA15 ZCLK ZD4 ZD3 ZD5 ZD6 VCC ZD2 ZD7 ZD0 ZD1 !ZINT !ZNMI !ZHALT !ZMREQ !ZIOREQ
VCC !ZWR CS2 ZA8 ZA9 ZA11 !ZRD ZA10 !CS1 ZD7 ZD6 ZD5 ZD4 ZD3
N/C ZA12 ZA7 ZA6 ZA5 ZA4 ZA3 ZA2 ZA1 ZA0 ZD0 ZD1 ZD2 GND

Трассировка процессора


AD1 AD0 RGB VCC B G R AGND RD7 (N/C) RD6 (N/C) RD5 (N/C) RD4 (N/C) RD3 (N/C) RD2 (N/C) RD1 (N/C) RD0 (N/C) GND !OE1 !WE0 !WE1 (N/C) !CAS1 !RAS1 !SC SE0 !SE1 (N/C) SD7 SD6 SD5 SD4 SD3 SD2 SD1 SD0
AD2 AD3 AD4 AD5 AD6 AD7 !YS SPA/B !VSYNC !CSYNC !HSYNC !HL !M3/SEL0 !PAL !SRESET SEL1 VCLK SBCR ZCLK MCLK EDCLK VDD VD0 VD1 VD2 VD3 VD4 VD5 VD6 VD7 VD8 VD9
VCC PD7 (N/C) PD6 (N/C) PD5 (N/C) PD4 (N/C) PD3 (N/C) PD2 (N/C) PD1 (N/C) PD0 (N/C) !RAS0 !CAS0 !OE0 !LWR !UWR !DTACK R/W !LDS !UDS !AS !ZM1 !ZWR !ZRD !ZIORQ !IPL2 !IPL1 !INTAK !VDPM !BG !BGACK !BR !ZINT GND
VD10 VD11 VD12 VD13 VD14 VD15 VA1 VA2 VA3 VA4 VA5 VA6 VA7 VA8 VA9 VA10 VA11 VA12 VA13 VA14 VA15 VA16 VA17 VA18 VA19 VA20 VA21 VA22 VA23 AVSS SOUND AVDD

315 Маршрутов трассировки логики

Обновлено 06 апреля 2024 г.

Эта страница вам помогла?

👍 **Да** 👎 **Нет**

ПРЕДЫДУЩИЙ
Загрузка Master System (Sega Mega-Tech)

СЛЕДУЮЩИЙ
Загрузка Mega Drive (Sega Mega Tech)

Документация создана с помощью Archbee.